

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-518947

(P2002-518947A)

(43) 公表日 平成14年6月25日 (2002.6.25)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 4 N 5/44		H 0 4 N 5/44	A
G 0 6 F 13/00	3 5 7	G 0 6 F 13/00	3 5 7 A
G 0 9 G 5/00		G 0 9 G 5/00	5 5 5 D

審査請求 未請求 予備審査請求 有 (全 65 頁)

(21) 出願番号 特願2000-555432(P2000-555432)
 (86) (22) 出願日 平成11年6月15日 (1999.6.15)
 (85) 翻訳文提出日 平成12年12月18日 (2000.12.18)
 (86) 国際出願番号 P C T / U S 9 9 / 1 3 4 7 5
 (87) 国際公開番号 W O 9 9 / 6 6 7 2 0
 (87) 国際公開日 平成11年12月23日 (1999.12.23)
 (31) 優先権主張番号 6 0 / 0 8 9 , 7 9 8
 (32) 優先日 平成10年6月18日 (1998.6.18)
 (33) 優先権主張国 米国 (U S)
 (31) 優先権主張番号 0 9 / 2 5 1 , 5 8 6
 (32) 優先日 平成11年2月17日 (1999.2.17)
 (33) 優先権主張国 米国 (U S)

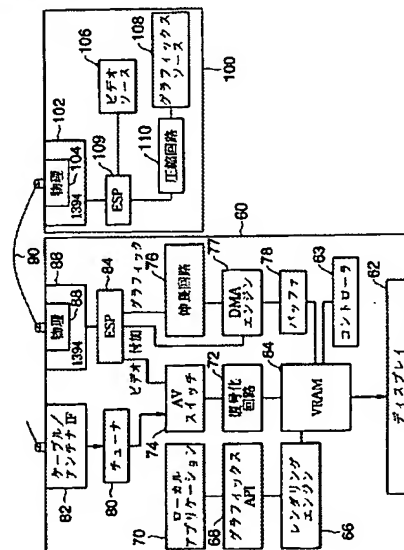
(71) 出願人 ソニー エレクトロニクス インク
 アメリカ合衆国 ニュージャージー州
 07656 パークリッジ ソニー ドライブ
 1
 (72) 発明者 ルトケ、ハロルド、エー
 アメリカ合衆国 カリフォルニア州
 95127 サン ホセ タウンズスクウェア
 ドライブ 3587
 (72) 発明者 スマイヤーズ、スコット、ディー
 アメリカ合衆国、カリフォルニア州
 95120 サン ホセ マンキュソ ストリ
 ート 6170
 (74) 代理人 弁理士 小池 晃 (外2名)

最終頁に続く

(54) 【発明の名称】 アイソクロナスデータ伝送フォーマットを用いた分散型 I E E E 1394 ネットワークにおいて広帯域の画面表示グラフィックスデータを扱う方法及び装置

(57) 【要約】

アイソクロナスデータフォーマットを用いて、I E E E 1394 規格 (1995 年版) シリアルバスネットワークを介してソースデバイスから表示装置に画面表示グラフィックスデータが送信される。画面表示グラフィックスデータは、ソースデバイスにより生成され、ビデオデータとは別にアイソクロナスデータストリームとして表示装置に送信される。画面表示グラフィックスデータストリームにおける各アイソクロナスデータパケットには、パuffaを形成する表示装置内のメモリアドレスに対応するアドレス値が含まれる。画面表示グラフィックスデータは、表示装置により受信されると、アドレス値に対応するパuffa内の適切なメモリ位置にロードされる。表示装置では、埋込型ストリームプロセッサを用いて、各パケットからヘッダ情報を分離するとともに、データが記憶されるべき適切なメモリ位置を決定する。1 画面の画面表示グラフィックスについてのデータストリームの最後には、トリガパケットが送られる。トリガパケットには、その画面の画面表示グラフィックスについての表示時間に対応するプレゼンテーション時間値が含



【特許請求の範囲】

【請求項1】 画面表示グラフィックスデータをビデオデータストリームとは別にソースデバイスから表示装置に送信する方法であって、

- a) 表示装置に表示する画面表示グラフィックスを生成する工程と、
- b) 表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むデータパケットのストリームに画面表示グラフィックスを組み合わせる工程と、
- c) データパケットをソースデバイスから表示装置に送信する工程とを有することを特徴とする方法。

【請求項2】 トリガイベントの発生時に、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含むトリガパケットを送信する工程をさらに有することを特徴とする請求項1記載の方法。

【請求項3】 トリガパケットには、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項2記載の方法。

【請求項4】 トリガパケットには、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバーレイビットが含まれることを特徴とする請求項3記載の方法。

【請求項5】 データパケットはアイソクロナスパケットであることを特徴とする請求項1記載の方法。

【請求項6】 データパケットはアシンクロナスパケットであることを特徴とする請求項1記載の方法。

【請求項7】 画面表示グラフィックスデータをソースデバイスから表示装置に送信する方法であって、

- a) 表示装置に表示する画面表示グラフィックスを生成する工程と、
- b) 表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせる工程と、
- c) アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイスから表示装置に送信する工程とを有することを特徴とする方法。

【請求項 8】 a) 表示装置にてアイソクロナスデータパケットを受信する工程と、

b) アイソクロナスデータパケット内に含まれるアドレス値により特定されるメモリ位置に、アイソクロナスデータパケットのそれぞれに含まれるデータを記憶する工程とをさらに有することを特徴とする請求項 7 記載の方法。

【請求項 9】 a) アイソクロナスデータパケットが形成される前に画面表示グラフィックスを圧縮する工程と、

b) 記憶工程が完了する前に表示装置にてデータの伸長を行う工程とをさらに有することを特徴とする請求項 8 記載の方法。

【請求項 10】 トリガイイベントの発生時に、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含むトリガパケットを送信する工程をさらに有することを特徴とする請求項 7 記載の方法。

【請求項 11】 トリガパケットには、画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれることを特徴とする請求項 10 記載の方法。

【請求項 12】 トリガイイベントは、1 画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットが送信されたときに発生することを特徴とする請求項 11 記載の方法。

【請求項 13】 a) 表示装置にてアイソクロナスデータパケットを受信する工程と、

b) アイソクロナスデータパケットに含まれるアドレス値により特定されるメモリ位置に、アイソクロナスデータパケットのそれぞれに含まれるデータを記憶する工程と、

c) 表示装置にてトリガパケットを受信する工程と、

d) トリガメモリ位置にトリガパケットを記憶する工程と、

e) 表示時間にその画面の画面表示グラフィックスを表示する工程とをさらに有することを特徴とする請求項 12 記載の方法。

【請求項 14】 表示装置におけるメモリ位置及びトリガメモリ位置は、画面表示グラフィックスバッファ内に含まれることを特徴とする請求項 13 記載の方

法。

【請求項15】 メモリ位置は画面表示グラフィックスバッファ内に含まれ、トリガメモリ位置はトリガバッファ内に含まれることを特徴とする請求項14記載の方法。

【請求項16】 トリガパケットには、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項14記載の方法。

【請求項17】 トリガパケットには、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバーレイビットが含まれることを特徴とする請求項16記載の方法。

【請求項18】 アイソクロナスデータパケットとトリガパケットは、高速シリアルインターフェースを介してソースデバイスから表示装置に送信されることを特徴とする請求項14記載の方法。

【請求項19】 高速シリアルインターフェースはIEEE1394シリアルバスネットワークであることを特徴とする請求項18記載の方法。

【請求項20】 a) 表示装置に表示する画面表示グラフィックスの次画面を生成する工程と、

b) 画面表示グラフィックスの前画面と比較して次画面内の変更画素を決定する工程と、

c) 変更画素のみを示す画面表示データを、示された変更画素に関するメモリ位置に対応するアドレス値をそれぞれ含む差分アイソクロナスデータパケットのストリームに組み合わせる工程と、

d) アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイスから表示装置に送信する工程とをさらに有することを特徴とする請求項12記載の方法。

【請求項21】 ソースデバイスにより生成され、アイソクロナスチャネルを介して、表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットとして送信される画面表示グラフィックスデータを受信する方法であって、

a) 画面表示グラフィックスデータとアドレス値とを含むアイソクロナスデータ packets を受信する工程と、

b) 表示装置内のメモリ位置に、アイソクロナスデータ packets に含まれる画面表示グラフィックスデータを記憶する工程とを有することを特徴とする方法。

【請求項 22】 a) 表示装置内のトリガメモリ位置に対応するトリガアドレス値と画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値とを含むトリガ packets を受信する工程と、

b) 表示時間にて画面表示グラフィックスを表示する工程とをさらに有することを特徴とする請求項 21 記載の方法。

【請求項 23】 トリガメモリ位置にトリガ packets を記憶する工程をさらに有することを特徴とする請求項 22 記載の方法。

【請求項 24】 トリガ packets には、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項 23 記載の方法。

【請求項 25】 画面表示グラフィックスが既に圧縮されている場合に、記憶工程が完了する前に画面表示グラフィックスの伸長を行う工程をさらに有することを特徴とする請求項 23 記載の方法。

【請求項 26】 メモリ位置とトリガメモリ位置は、画面表示グラフィックスバッファ内に含まれることを特徴とする請求項 23 記載の方法。

【請求項 27】 アイソクロナスデータ packets とトリガ packets は、高速リアルインターフェースを介してソースデバイスから表示装置に送信されることを特徴とする請求項 26 記載の方法。

【請求項 28】 高速リアルインターフェースは IEEE 1394 シリアルバスネットワークであることを特徴とする請求項 27 記載の方法。

【請求項 29】 画面表示グラフィックスデータをソースデバイスから表示装置に送信する装置であって、

a) 表示装置により表示される画面表示グラフィックスを生成するグラフィックスソースと、

b) グラフィックスソースに接続され、表示装置内のメモリ位置に対応するア

ドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせて、アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイスから表示装置に送信するために表示装置に接続するように構成されたインターフェース回路とを有することを特徴とする装置。

【請求項30】 グラフィックスソースは、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含む、トリガイベントの発生時にインターフェース回路により送信されるトリガパケットを生成することを特徴とする請求項29記載の装置。

【請求項31】 トリガイベントは、1画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットがインターフェース回路から送信されたときに発生することを特徴とする請求項30記載の装置。

【請求項32】 トリガパケットには、その画面の画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれることを特徴とする請求項31記載の装置。

【請求項33】 トリガパケットには、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項32記載の装置。

【請求項34】 トリガパケットには、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバレイビットが含まれることを特徴とする請求項33記載の装置。

【請求項35】 グラフィックスソースとインターフェース回路とに接続され、インターフェース回路による送信の前に画面表示グラフィックスを圧縮する圧縮回路をさらに有することを特徴とする請求項32記載の装置。

【請求項36】 インターフェース回路は、高速シリアルインターフェースにより表示装置に接続されることを特徴とする請求項35記載の装置。

【請求項37】 高速シリアルインターフェースはIEEE1394シリアルバスネットワークであることを特徴とする請求項36記載の装置。

【請求項38】 ソースデバイスにより生成され、アイソクロナスチャネルを

介して、メモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットとして送信される画面表示グラフィックスデータを受信する装置であって、

a) アイソクロナスチャネルを介してソースデバイスからアイソクロナスデータパケットを受信するためにソースデバイスに接続するように構成されたインターフェース回路と、

b) インターフェース回路に接続され、アイソクロナスデータパケットを受信して画面表示グラフィックスデータからアドレス値を分離する処理装置と、

c) 処理装置に接続され、アドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するメモリ装置と、

d) メモリ装置に接続され、表示時間に画面表示グラフィックスを表示する表示装置とを有することを特徴とする装置。

【請求項 39】 表示時間はトリガパケットにおいて受信されることを特徴とする請求項 38 記載の装置。

【請求項 40】 処理装置は、画面表示グラフィックスデータがアイソクロナスデータパケットに含まれているか否かを判断し、アイソクロナスデータパケットからヘッダ情報を分離し、アドレス値を決定し、アドレス値と画面表示グラフィックスデータをメモリ装置に送信する埋込型ストリームプロセッサであることを特徴とする請求項 38 記載の装置。

【請求項 41】 メモリ装置は、バッファと、アドレス値を受信するとともにバッファ内のアドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するDMAエンジンとを有することを特徴とする請求項 40 記載の装置。

【請求項 42】 表示装置は、ディスプレイと、ディスプレイに表示される前に画面表示グラフィックスが記憶されるVRAM回路とを有することを特徴とする請求項 41 記載の装置。

【請求項 43】 インターフェース回路は、高速シリアルインターフェースによりソースデバイスに接続されることを特徴とする請求項 42 記載の装置。

【請求項 44】 高速シリアルインターフェースはIEEE1394シリアルバスネットワークであることを特徴とする請求項 43 記載の装置。

【請求項45】 画面表示グラフィックスデータを送信システムであって、

i) 表示装置により表示される画面表示グラフィックスを生成するグラフィックスソースと、

ii) グラフィックスソースに接続され、表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせて、アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイスから表示装置に送信するために表示装置に接続するように構成されたソースインターフェース回路とを有する

a) ソースデバイスと、

i) ソースインターフェース回路に接続され、アイソクロナスチャネルを介してソースデバイスからアイソクロナスデータパケットを受信するディスプレイインターフェース回路と、

ii) ディスプレイインターフェース回路に接続され、アイソクロナスデータパケットを受信して画面表示グラフィックスデータからアドレス値を分離する処理装置と、

iii) 処理装置に接続され、アドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するメモリ装置と、

iv) メモリ装置に接続され、表示時間に画面表示グラフィックスを表示するディスプレイ装置とを有する

b) 表示装置とにより構成されるシステム。

【請求項46】 グラフィックスソースは、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含む、トリガイベントの発生時にインターフェース回路により送信されるトリガパケットを生成することを特徴とする請求項45記載のシステム。

【請求項47】 トリガイベントは、1画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットがソースインターフェース回路から送信されたときに発生することを特徴とする請求項46記載のシステム。

【請求項48】 トリガパケットには、その画面の画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれることを特徴と

する請求項47記載のシステム。

【請求項49】 トリガパケットには、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項48記載のシステム。

【請求項50】 トリガパケットには、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバーレイビットが含まれることを特徴とする請求項48記載のシステム。

【請求項51】 処理装置は、画面表示グラフィックスデータがアイソクロナスデータパケットに含まれているか否かを判断し、アイソクロナスデータパケットからヘッダ情報を分離し、アドレス値を決定し、アドレス値と画面表示グラフィックスデータをメモリ装置に送信する埋込型ストリームプロセッサであることを特徴とする請求項45記載のシステム。

【請求項52】 メモリ装置は、バッファと、アドレス値を受信するとともにバッファ内のアドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するDMAエンジンとを有することを特徴とする請求項51記載のシステム。

【請求項53】 ディスプレイ装置は、ディスプレイと、ディスプレイに表示される前に画面表示グラフィックスが記憶されるVRAM回路とを有することを特徴とする請求項52記載のシステム。

【請求項54】 ソースインターフェース回路は、高速シリアルインターフェースによりディスプレイインターフェース回路に接続されることを特徴とする請求項53記載のシステム。

【請求項55】 高速シリアルインターフェースはIEEE1394シリアルバスネットワークであることを特徴とする請求項54記載のシステム。

【発明の詳細な説明】**【0001】**関連出願

本願は、米国特許法第119条(e)に基づき、現在係属中の米国仮出願第60,089,798号、1998年6月18日出願、「分散型1394ネットワークにおいて広帯域の画面表示グラフィックスデータを扱う方法 (A METHOD FOR HANDLING HIGH BANDWIDTH ON-SCREEN DISPLAY (OSD) OVER A DISTRIBUTED 1394 NETWORK)」の優先権を主張する。また、この米国仮出願第60,089,798号、1998年6月18日出願、「分散型1394ネットワークにおいて広帯域の画面表示グラフィックスデータを扱う方法 (A METHOD FOR HANDLING HIGH BANDWIDTH ON-SCREEN DISPLAY (OSD) OVER A DISTRIBUTED 1394 NETWORK)」については、参照により本願に組み込まれるものとする。

【0002】発明の分野

本発明は、画面表示グラフィックスデータを表示装置に表示する技術分野に関する。特に、本発明は、ソースデバイスから供給された画面表示グラフィックスデータを表示装置に表示する技術分野に関する。

【0003】発明の背景

IEEE1394規格(1995年版)である「高性能シリアルバスの1394規格」は、アシンクロナス及びアイソクロナスの両フォーマットのデータ転送に対応する安価な高速シリアルバスを実現するための国際規格である。また、IEEE1394規格(1995年版)バスはサイクルタイムと呼ばれるユニバーサルクロックを備えている。このクロックはすべてのノードにおいて同期している。アイソクロナスデータ転送は、有効インスタンスの時間間隔が送信及び受信の両アプリケーションで同じ継続時間であるようなユニバーサルクロックに基づいて行われる実時間転送である。アイソクロナス転送されるデータの各パケットは、その各パケットの時間内で転送される。アイソクロナスデータ転送の理想的なアプリケーションの例としては、ビデオレコーダからテレビジョン受像機への

転送がある。ビデオレコーダは画像と音声を記録し、そのデータを離散的チャック又はパケットとして保存する。そして、ビデオレコーダは、ある時間に記録された画像と音声を表す各パケットをその時間内に転送して、テレビジョン受像機により表示させる。IEEE 1394 規格（1995年版）のバス構造により、アプリケーション間のアイソクロナス転送用の多数の独立チャンネルが得られる。適切なアプリケーションによる受信を確保するために、6ビットのチャンネル番号がデータと共に供給される。これにより、バス構造において同時にアイソクロナスデータを送信する多数のアプリケーションが可能となる。アシンクロナス転送は、アービトレーションがなされるとすぐに行われ、ソースから送信先に最大量のデータを転送する従来の確実なデータ転送操作である。

【0004】

IEEE 1394 規格（1995年版）により、デジタル装置の相互接続を行うための高速シリアルバスが得られることで、ユニバーサルI/O接続が得られる。IEEE 1394 規格（1995年版）は、アプリケーションのデジタルインターフェースを定めるので、アプリケーションがバスを介してデータを送信する前にデジタルデータをアナログデータに変換する必要がなくなる。これに応じて、受信アプリケーションは、バスからアナログデータではなくデジタルデータを受信するので、アナログデータをデジタルデータに変換する必要がない。IEEE 1394 規格（1995年版）により必要とされるケーブルは、このような装置を他の接続方法で接続するのに用いられる大型のケーブルと比較して非常に薄型である。IEEE 1394 バス（1995年版）の使用中に、このバスに対して装置の追加や除去を行うことができる。このような装置の追加や除去が行われると、バスは自動的に変更を行い、新たな装置も含めたノード間でのデータ送信を行う。ノードは、バス構造上にユニークアドレスを有する論理エンティティとして考えられる。各ノードは、標準アドレス空間において、識別ROM、コントロールレジスタの標準化セット、ノード自体のアドレス空間を有する。

【0005】

IEEE 1394 規格（1995年版）は、図1に示すようなプロトコルを定義する。このプロトコルは、トランザクション層12とリンク層14と物理層1

6 とに接続されたシリアルバス管理ブロック 10 を備えている。物理層 16 は、装置と IEEE 1394 規格（1995 年版）ケーブルの電氣的及び機械的接続を行うものである。また、物理層 16 は、IEEE 1394 規格（1995 年版）バスに接続されているすべての装置が、バスへのアクセスに加えて実際のデータ送受信を調整したことを確保するため、アービトレーションを行う。リンク層 14 は、アシンクロナス及びアイソクロナスの両データパケット転送のためのデータパケット供給サービスを行う。これは、アクノリッジメントプロトコルを用いたアシンクロナスデータ転送と、ジャストインタイム方式のデータ供給を行うための非アクノリッジ実時間保証帯域幅プロトコル行うアイソクロナスデータ転送の両方に対応する。トランザクション層 12 は、読み出し、書き込み、ロックを含む、アシンクロナスデータ転送を完了するのに必要なコマンドに対応する。シリアルバス管理ブロック 10 は、アイソクロナスデータ転送を管理するアイソクロナスリソースマネージャを備えている。また、シリアルバス管理ブロック 10 は、アービトレーションタイミングの最適化、バス上の全装置に対する適切な電力の保証、サイクルマスタの割り当て、アイソクロナスチャネルと帯域幅リソースの割り当て、エラーの基本的通知など、シリアルバスの全体構造の制御を行う。

【0006】

テレビジョンとビデオカセットレコーダ（VCR）からなる従来のホームオーディオ／ビデオネットワークのブロック図を図 2 に示す。テレビジョン 20 は VCR 40 に接続されている。VCR 40 とテレビジョン 20 との間で、ビデオデータと関連データが既知の方法で送られる。

【0007】

テレビジョン 20 と VCR 40 の内部構成部品についても図 2 に示す。テレビジョン 20 は、VCR 40 に対してオーディオ及びビデオ信号の送受信を行うインターフェース 32 を備えている。インターフェース 32 は、VCR 40 への又は VCR 40 からのオーディオ／ビデオ信号を指示するオーディオ／ビデオスイッチ 26 に接続されている。ケーブル／アンテナインターフェース回路 30 は、同軸ケーブル又はアンテナから入力信号を受信するとともに、チューナ 28 を介

してオーディオ／ビデオスイッチ26にそれらの信号を送るために接続されている。オーディオ／ビデオスイッチ26は、ケーブル／アンテナインターフェース30又はVCR40からのビデオ信号をディスプレイ22に供給するために、ビデオランダムアクセスメモリ（VRAM）回路24に接続されている。

【0008】

VCR40は、VCR40により再生されているビデオテープ又はテレビジョン入力等のビデオソース46を備えている。また、VCR40は、VCR40がテレビジョン20により表示されるデータを送っているときに、テレビジョン20により表示される画面表示グラフィックスを生成するグラフィックスソース48を備えている。このような画面表示グラフィックスには、PLAY、STOP、REWIND、FAST-FORWARD、PAUSE、RECORD等、VCR40により実行されるコマンドを表す単語やシンボルが含まれる。グラフィックスソース48により生成される画面表示グラフィックスには、通常、ユーザがVCR40をプログラムすることができるようにする、テレビジョン20に表示されるメニューも含まれる。グラフィックスソース48により生成された画面表示グラフィックスは、ミキサ回路44に供給される。ミキサ回路44は、ビデオソース46からのビデオデータも受信する。そして、ミキサ回路44は、グラフィックスソース48からの画面表示グラフィックスとビデオソース46からのビデオデータを組み合わせてビデオ出力を生成し、このビデオ出力は、インターフェース回路42を介してテレビジョン20に送信される。VCR40からのビデオ出力はテレビジョン20により処理されて、ディスプレイ22に表示される。ミキサ回路44は、必要に応じて、画面表示グラフィックスをビデオデータにかぶせてビデオ出力を形成するか、あるいは、グラフィックスソース48からの画面表示のみ又はビデオソース46からのビデオデータのみをビデオ出力に含ませる。

【0009】

IEEE1394規格（1995年版）シリアルバスネットワークにより接続されたデジタルテレビジョンとデジタルVCRとを備えるオーディオ／ビデオネットワークでは、VCRからのビデオデータは通常、MPEG等のデジタルフォ

フォーマットで送信される。通常、VCRはMPEGフォーマットのビデオデータを符号化するように構成されているのではなく、既に別のソースによりMPEGフォーマットに符号化されたデータの記録及び送信を行う。VCRが上述のように画面表示グラフィックスをビデオデータと組み合わせることができるようにするには、VCRがMPEGエンコーダを備え、画面表示グラフィックスをMPEGフォーマットに符号化してデータストリームをビデオ出力データストリームに組み合わせることができなければならない。MPEGエンコーダのコストを考えると、競争の激しい家庭用VCRにおいては、そのような要件はコストが高すぎる。

【0010】

1998年9月16日の「HAViアーキテクチャ：ホームオーディオ／ビデオ相互操作性（HAVi）アーキテクチャの仕様」ドラフトバージョン0.8n13.により、ホームオーディオ／ビデオインタオペラビリティ（HAVi）アーキテクチャが定義されている。HAViアーキテクチャは、家庭用の電子装置や演算装置に設けられる。HAViアーキテクチャにより、インタオペラビリティを容易にするサービスのセットが得られ、ホームネットワーク上の分散型アプリケーションの構築が可能となる。HAViアーキテクチャは、IEEE1394規格（1995年版）シリアルバスネットワーク内で接続されたデジタル装置用に設計されている。

【0011】

HAViアーキテクチャは、レベル1、レベル2と称する2つの画面表示グラフィックスモデルを定義する。レベル1の画面表示グラフィックスモデルは、目的の装置が一連のコマンドを介して、意図した画面表示グラフィックスを記述するデータ構造を供給する記述モデルである。グラフィックスライブラリアプリケーションのプログラミングインターフェースを用いて、表示装置がこの情報をアップロードし、表示グラフィックスを構成する。この表示グラフィックスは、目的の装置が意図したように見えることも見えないこともある。レベル2の画面表示グラフィックスモデルは、表示装置がその表示装置上で動作する実行可能コードをアップロードする実行時間実行環境を定義する。この実行可能コードは、表

示装置により供給される機能を用いて画面表示グラフィックスを生成するのに用いられる。

【0012】

H A V i アーキテクチャを使用すれば、上述のデジタルV C R等の装置は、画面表示グラフィックスを生成して符号化ビデオデータストリームにグラフィックスを組み合わせる必要がない。H A V i アーキテクチャを使用するデジタルV C Rは、表示装置に送信されて表示装置により画面表示グラフィックスを生成するのに用いられるコマンドを生成する。このような構成では、画面表示グラフィックスがテレビジョンにより生成されてビデオデータと組み合わせられるので、デジタルV C RがM P E Gエンコーダを備える必要はない。しかし、このようなコマンドを用いてH A V i アーキテクチャを介して利用できる画面表示グラフィックスの程度や能力には限界がある。

【0013】

ビデオソースデバイスによっては、テレビジョン等の表示装置に送られてユーザに画面表示される非常に広帯域のグラフィックス出力を生成することができるものもある。このグラフィックス出力は、グラフィックスデータの多数の部分が頻繁に変化する動画アニメーション効果を含む、非常に高解像度で高色深度のものであることができる。通常、このグラフィックスデータは、ビデオ信号と合成されるか、ビデオ信号にかぶせられる。上述のように、画面表示グラフィックスをビデオデータストリームと組み合わせて、この組み合わせたデータストリームをテレビジョン又は他の表示装置に送ってユーザに表示する能力をアナログ装置内に設けることは、比較的容易で安価である。また、ビデオゲームコンソール等の装置によって、純粋なグラフィックス出力ストリームを生成し、この出力ストリームをアナログビデオ接続を介してテレビジョンに送ることは、比較的容易で安価である。しかし、デジタル装置については、グラフィックスデータを生成し、このグラフィックスデータをデジタルデータが通常伝送されるM P E Gビデオ等のフォーマットに符号化する能力をデジタル装置内に設けるのは、非常に費用がかかる。V C Rやビデオゲームコンソール等、ほとんどの家庭用装置は、ビデオとの組み合わせ、及び／又は、M P E Gビデオストリームとしてデジタル表示

装置への送信を行うための画面表示グラフィックスを生成する能力を設けると、高コストになってしまう。H A V iアーキテクチャを用いれば、グラフィックスを生成する表示装置にデータ及び／又はコマンドを供給することにより、ソースデバイスが表示装置上の画面表示グラフィックスを制御することを可能にする方法が得られる。しかし、H A V iアーキテクチャを用いて生成することができる画面表示グラフィックスは、一般に広帯域のグラフィックスではない。

【0014】

発明の概要

アイソクロナスデータフォーマットを用いたI E E E 1 3 9 4規格（1995年版）シリアルバスネットワークを介して、画面表示グラフィックスデータがソースデバイスから表示装置に送信される。画面表示グラフィックスデータは、ソースデバイスにより生成され、ビデオデータとは別のアイソクロナスデータストリームとして表示装置に送信される。画面表示グラフィックスデータストリームにおける各パケットのアイソクロナスデータには、バッファを形成する表示装置内のメモリアドレスに対応するアドレス値が含まれる。表示装置により受信されると、画面表示グラフィックスデータは、アドレス値に対応するバッファ内の適切なメモリ位置にロードされる。表示装置では、埋込型ストリームプロセッサを用いて、各パケットからヘッダ情報を分離し、データが記憶されるべき適切なメモリ位置を決定する。1画面の画面表示グラフィックスについてのデータストリームの最後に、トリガパケットが送られる。トリガパケットには、その画面の画面表示グラフィックスについての表示時間に対応するプレゼンテーション時間値が含まれる。トリガパケットが受信されると、表示装置は、バッファに記憶されているデータをV R A M回路に転送して、特定のプレゼンテーション時間にて表示する。画面表示グラフィックスデータは、ビデオデータにかぶせて表示することも、別々に表示することもできる。トリガパケットには、トリガビットとオーバレイビットが含まれる。トリガビットが書き込まれると、現フレームの記憶が完了したことを示す。オーバレイビットは、現在の画面表示グラフィックスデータフレームをビデオデータフレームにかぶせるか否かを特定する。データの一部のみが前フレームから変化したデータのフレームを転送するときには、差分符号

化が用いられる。

【0015】

本発明によれば、画面表示グラフィックスデータをビデオデータストリームとは別にソースデバイスから表示装置に送信する方法であって、表示装置に表示する画面表示グラフィックスを生成する工程と、表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むデータパケットのストリームに画面表示グラフィックスを組み合わせる工程と、データパケットをソースデバイスから表示装置に送信する工程とを有する。本方法は、トリガイベントの発生時に、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含むトリガパケットを送信する工程をさらに有する。トリガパケットには、好ましくは、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれる。また、トリガパケットには、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバレイビットが含まれる。好ましくは、データパケットはアイソクロナスパケットである。あるいは、データパケットはアシンクロナスパケットである。

【0016】

また、本発明によれば、画面表示グラフィックスデータをソースデバイスから表示装置に送信する方法であって、表示装置に表示する画面表示グラフィックスを生成する工程と、表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせる工程と、アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイスから表示装置に送信する工程とを有する。本方法は、表示装置にてアイソクロナスデータパケットを受信する工程と、アイソクロナスデータパケット内に含まれるアドレス値により特定されるメモリ位置に、アイソクロナスデータパケットのそれぞれに含まれるデータを記憶する工程とをさらに有する。また、本方法は、アイソクロナスデータパケットが形成される前に画面表示グラフィックスを圧縮する工程と、記憶工程が完了する前に表示装置にてデータの伸長を行う工程とをさらに有する。また、本方法は、トリガイベントの発生時に、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含むトリガパケ

ットを送信する工程をさらに有する。トリガパケットには、画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれる。トリガイベントは、1画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットが送信されたときに発生する。また、本方法は、表示装置にてアイソクロナスデータパケットを受信する工程と、アイソクロナスデータパケットに含まれるアドレス値により特定されるメモリ位置に、アイソクロナスデータパケットのそれぞれに含まれるデータを記憶する工程と、表示装置にてトリガパケットを受信する工程と、トリガメモリ位置にトリガパケットを記憶する工程と、表示時間にその画面の画面表示グラフィックスを表示する工程とをさらに有する。表示装置におけるメモリ位置及びトリガメモリ位置は、画面表示グラフィックスバッファ内に含まれる。あるいは、メモリ位置は好ましくは画面表示グラフィックスバッファ内に含まれ、トリガメモリ位置はトリガバッファ内に含まれる。トリガパケットには、好ましくは、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれる。また、トリガパケットには、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバレイビットが含まれる。アイソクロナスデータパケットとトリガパケットは、高速シリアルインターフェースを介してソースデバイスから表示装置に送信される。好ましくは、高速シリアルインターフェースはIEEE 1394シリアルバスネットワークである。また、本方法は、表示装置に表示する画面表示グラフィックスの次画面を生成する工程と、画面表示グラフィックスの前画面と比較して次画面内の変更画素を決定する工程と、変更画素のみを示す画面表示データを、示された変更画素に関するメモリ位置に対応するアドレス値をそれぞれ含む差分アイソクロナスデータパケットのストリームに組み合わせる工程と、アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイスから表示装置に送信する工程とをさらに有する。

【0017】

また、本発明によれば、ソースデバイスにより生成され、アイソクロナスチャネルを介して、表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むア

アイソクロナスデータパケットとして送信される画面表示グラフィックスデータを受信する方法であって、画面表示グラフィックスデータとアドレス値とを含むアイソクロナスデータパケットを受信する工程と、表示装置内のメモリ位置に、アイソクロナスデータパケットに含まれる画面表示グラフィックスデータを記憶する工程とを有する。本方法は、表示装置内のトリガメモリ位置に対応するトリガアドレス値と画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値とを含むトリガパケットを受信する工程と、表示時間にて画面表示グラフィックスを表示する工程とをさらに有する。また、本方法は、トリガメモリ位置にトリガパケットを記憶する工程をさらに有する。トリガパケットには、好ましくは、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれる。また、本方法は、画面表示グラフィックスが既に圧縮されている場合に、記憶工程が完了する前に画面表示グラフィックスの伸長を行う工程をさらに有する。メモリ位置とトリガメモリ位置は、画面表示グラフィックスバッファ内に含まれる。アイソクロナスデータパケットとトリガパケットは、高速シリアルインターフェースを介してソースデバイスから表示装置に送信される。好ましくは、高速シリアルインターフェースはIEEE 1394シリアルバスネットワークである。

【0018】

また、本発明によれば、画面表示グラフィックスデータをソースデバイスから表示装置に送信する装置であって、表示装置により表示される画面表示グラフィックスを生成するグラフィックスソースと、グラフィックスソースに接続され、表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせて、アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイスから表示装置に送信するために表示装置に接続するように構成されたインターフェース回路とを有する。グラフィックスソースは、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含む、トリガイベントの発生時にインターフェース回路により送信されるトリガパケットを生成する。トリガイベントは、1画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットがイン

ターフェース回路から送信されたときに発生する。トリガパケットには、その画面の画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれる。トリガパケットには、好ましくは、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれる。また、トリガパケットには、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバレイビットが含まれる。また、本装置は、グラフィックスソースとインターフェース回路とに接続され、インターフェース回路による送信の前に画面表示グラフィックスを圧縮する圧縮回路をさらに有する。インターフェース回路は、好ましくは、高速シリアルインターフェースにより表示装置に接続される。好ましくは、高速シリアルインターフェースはIEEE1394シリアルバスネットワークである。

【0019】

また、本発明によれば、ソースデバイスにより生成され、アイソクロナスチャネルを介して、メモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットとして送信される画面表示グラフィックスデータを受信する装置であって、アイソクロナスチャネルを介してソースデバイスからアイソクロナスデータパケットを受信するためにソースデバイスに接続するように構成されたインターフェース回路と、インターフェース回路に接続され、アイソクロナスデータパケットを受信して画面表示グラフィックスデータからアドレス値を分離する処理装置と、処理装置に接続され、アドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するメモリ装置と、メモリ装置に接続され、表示時間に画面表示グラフィックスを表示する表示装置とを有する。表示時間はトリガパケットにおいて受信される。好ましくは、処理装置は、画面表示グラフィックスデータがアイソクロナスデータパケットに含まれているか否かを判断し、アイソクロナスデータパケットからヘッダ情報を分離し、アドレス値を決定し、アドレス値と画面表示グラフィックスデータをメモリ装置に送信する埋込型ストリームプロセッサである。メモリ装置は、バッファと、アドレス値を受信するとともにバッファ内のアドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するDMAエンジンとを有する。表示装置は、ディスプレイと、ディス

プレイに表示される前に画面表示グラフィックスが記憶されるVRAM回路とを有する。インターフェース回路は、好ましくは、高速シリアルインターフェースによりソースデバイスに接続される。好ましくは、高速シリアルインターフェースはIEEE1394シリアルバスネットワークである。

【0020】

また、本発明によれば、画面表示グラフィックスデータを送信システムであって、表示装置により表示される画面表示グラフィックスを生成するグラフィックスソースと、グラフィックスソースに接続され、表示装置内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせて、アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイスから表示装置に送信するために表示装置に接続するように構成されたソースインターフェース回路とを有するソースデバイスと、ソースインターフェース回路に接続され、アイソクロナスチャネルを介してソースデバイスからアイソクロナスデータパケットを受信するディスプレイインターフェース回路と、ディスプレイインターフェース回路に接続され、アイソクロナスデータパケットを受信して画面表示グラフィックスデータからアドレス値を分離する処理装置と、処理装置に接続され、アドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するメモリ装置と、メモリ装置に接続され、表示時間に画面表示グラフィックスを表示するディスプレイ装置とを有する表示装置により構成される。グラフィックスソースは、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含む、トリガイベントの発生時にインターフェース回路により送信されるトリガパケットを生成する。トリガイベントは、1画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットがソースインターフェース回路から送信されたときに発生する。トリガパケットには、その画面の画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれる。トリガパケットには、好ましくは、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれる。また、トリガパケットには、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定す

るオーバレイビットが含まれる。処理装置は、画面表示グラフィックスデータがアイソクロナスデータパケットに含まれているか否かを判断し、アイソクロナスデータパケットからヘッダ情報を分離し、アドレス値を決定し、アドレス値と画面表示グラフィックスデータをメモリ装置に送信する埋込型ストリームプロセッサである。メモリ装置は、バッファと、アドレス値を受信するとともにバッファ内のアドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するDMAエンジンとを有する。表示装置は、ディスプレイと、ディスプレイに表示される前に画面表示グラフィックスが記憶されるVRAM回路とを有する。ソースインターフェース回路は、好ましくは、高速シリアルインターフェースによりディスプレイインターフェース回路に接続される。好ましくは、高速シリアルインターフェースはIEEE1394シリアルバスネットワークである。

【0021】

好ましい実施例の詳細な説明

画面表示グラフィックスをソースデバイスから表示装置に送信するのに、アイソクロナスデータフォーマットを用いる。画面表示グラフィックスは、VCR等のソースデバイスにより生成され、非画面表示グラフィックスデータとは別にアイソクロナスデータストリームとして表示装置に送信される。非画面表示グラフィックスデータには、ビデオデータ、オーディオデータ、及び、ソースデバイスから表示装置に送られる他の適切なタイプのデータが含まれている。ソースデバイスは、好ましくは、画面表示グラフィックスデータストリームのMPEG等のフォーマットへの符号化を行わない。画面表示グラフィックスデータストリームは、ビデオデータ等の他のデータストリームと合成され、MPEG等のフォーマットに符号化される。画面表示グラフィックスデータストリーム内のアイソクロナスデータの各パケットには、アドレス値が含まれている。画面表示グラフィックスデータは、表示装置により受信されると、画面表示バッファ内のアドレス値に対応するメモリ位置にロードされる。表示装置では、好ましくは埋込型ストリームプロセッサを用いて、各パケットからヘッダ情報を分離するとともに、データが記憶されるべき適切なメモリ位置を決定する。あるいは、他の適切な汎用又は特殊処理機構を用いて、各パケットからヘッダ情報を分離するとともに、デー

タが記憶されるべき適切なメモリ位置を決定する。

【0022】

1画面の画面表示グラフィックスのデータストリームの最後には、トリガパケットが送られる。トリガパケットには、その画面の画面表示グラフィックスについての表示時間に対応するプレゼンテーション時間値が含まれている。トリガパケットの受信後、表示装置はプレゼンテーション時間値が示す時間にて画面表示バッファから画面表示グラフィックスを表示する。また、トリガパケットにはトリガビットとオーバレイビットが含まれている。トリガビットは、書き込まれると、現フレームの記憶が完了したことを示す。オーバレイビットは、現在の画面表示グラフィックスデータのフレームをビデオデータフレームにかぶせるか否かを特定する。画面表示グラフィックスデータがビデオデータとともに表示される場合、表示装置は、好ましくは、ビデオデータストリームを復号化してから、復号化ビデオデータストリームを画面表示グラフィックスデータと組み合わせて表示する。好ましくは、ソースデバイスはIEEE1394規格（1995年版）シリアルバスネットワークにより表示装置に接続されている。前フレームから変化したデータ部分のみが伝送される動画グラフィックスには、差分符号化を使用することが好ましい。

【0023】

好ましくは、画面表示グラフィックスデータは他のデータストリームとは別に送られる。あるいは、画面表示グラフィックスデータは組み合わせられたデータストリームに合成されて送信される。複数の画面表示グラフィックスデータストリームを単一の表示装置に送ることができる。また、複数の画面表示グラフィックスデータストリームを調整して、複数の表示装置に送ることもできる。これら複数の画面表示グラフィックスデータストリームは、単一のソースデバイスから送ることもでき、複数のソースデバイスから送ることもできる。さらに、単一の画面表示グラフィックスデータストリームを同時に複数の表示装置に送ることもできる。

【0024】

IEEE1394規格（1995年版）ケーブル90により接続されたテレビ

ジョン60とVCR100により構成される装置ネットワークの一例のブロック図を図3に示す。テレビジョン60とVCR100の構成要素についても図3に示す。テレビジョンは、VCR100とのデータやコマンドの送受信を行うためのIEEE1394規格(1995年版)インターフェース回路86を備えている。IEEE1394規格(1995年版)インターフェース回路86は物理的インターフェース回路88を有している。物理的インターフェース回路88は、IEEE1394規格(1995年版)シリアルバスケーブル90によりVCR100に接続されている。IEEE1394規格(1995年版)インターフェース回路86は、好ましくは、VCR100からの通信の受信及び供給を行う埋込型ストリームプロセッサ84に接続されている。埋込型ストリームプロセッサ84は、VCR100からのビデオデータを供給するためのオーディオ／ビデオスイッチ74に接続されている。また、埋込型ストリームプロセッサ84は、圧縮された画面表示グラフィックスデータの伸長を行う伸長回路76にも接続されている。伸長回路76は、画面表示グラフィックスデータの処理の際に用いられるDMAエンジン77に接続されている。DMAエンジン77は、埋込型ストリームプロセッサ84からアドレス指定情報を受信するためにも接続されている。また、DMAエンジン77は、VCR100からの伸長された画面表示グラフィックスデータを、埋込型ストリームプロセッサ84からのアドレス指定情報により特定される位置に記憶する画面表示アドレス指定可能メモリバッファ78にも接続されている。バッファ78は、伸長された画面表示グラフィックスデータをディスプレイ62に供給するためのVRAM回路64に接続されている。

【0025】

また、テレビジョン60は、同軸ケーブル又はアンテナから入力信号を受信するとともにチューナ80を介してそれらの信号をオーディオ／ビデオスイッチ74に送るために接続されたケーブル／アンテナインターフェース回路82を備えている。オーディオ／ビデオスイッチ74は、符号化されたビデオ信号を復号化して、復号化ビデオ信号をVRAM回路64に供給する復号化回路72に接続されている。また、テレビジョン60は、テレビジョン60による生成及び表示が行われる画面表示グラフィックスを表すコマンドを受信するためのグラフィック

スアプリケーションプログラミングインターフェース68に接続された1以上のローカルアプリケーション70を備えている。グラフィックスアプリケーションプログラミングインターフェース68は、コマンドを受信して、コマンドから適切な画面表示グラフィックスを生成するレンダリングエンジン66に接続されている。レンダリングエンジン66は、生成した画面表示グラフィックスをVRAM回路64に供給するためにVRAM回路64に接続されている。好ましくは、VRAM回路64は、異なるデータストリームを合成するとともに異なるタイプのデータを表示用に適切に合成するミキシング機能を有している。VRAM回路64は、ビデオ信号をディスプレイ62に供給するためにディスプレイ62に接続されている。また、VRAM回路64の動作を制御するとともに、ある時点でどの装置がVRAM回路64にアクセスするかを制御するために、コントローラ63がVRAM回路64に接続されている。

【0026】

VCR100は、テレビジョン60とデータやコマンドの送受信を行うためのIEEE1394規格（1995年版）インターフェース回路102を備えている。IEEE1394規格（1995年版）インターフェース回路102は物理的インターフェース回路104を有している。物理的インターフェース回路104は、IEEE1394規格（1995年版）シリアルバスケーブル90を介してテレビジョン60に接続されている。VCR100は、VCR100により再生されているビデオテープやテレビジョン入力等のビデオソース106を備えている。ビデオソース106は埋込型ストリームプロセッサ109に接続され、埋込型ストリームプロセッサ109は、IEEE1394規格（1995年版）シリアルバスケーブル90を介してビデオデータストリームをテレビジョン60に送信するためにIEEE1394規格（1995年版）インターフェース回路102に接続されている。また、VCR100は、テレビジョン60により表示される画面表示グラフィックスを生成するグラフィックスソース108を備えている。グラフィックスソース108は、好ましくは、グラフィックスソース108により生成されたグラフィックスデータを圧縮する圧縮回路110に接続されている。圧縮回路110は、IEEE1394規格（1995年版）シリアルバス

ケーブル90を介してテレビジョン60に圧縮グラフィックスデータを送信するためにIEEE1394規格(1995年版)インターフェース回路102に接続された埋込型ストリームプロセッサ109に接続されている。埋込型ストリームプロセッサ109は、埋込型ストリームプロセッサ84と同様の機能を有し、IEEE1394規格(1995年版)シリアルバスケーブル90を介して送信される前に、ソースデバイス100からのデータを処理する。この処理には、ソースデバイス100から送信されているデータパケットにヘッダを付加することが含まれる。他の実施例では、ソースデバイスは埋込型ストリームプロセッサ109を備えていない。

【0027】

図3に示す構造は一例である。オーディオ／ビデオネットワークに多数の異なる構成要素の組み合わせを備えてもよいことは明らかである。また、データ、コマンド、パラメータについては、IEEE1394規格(1995年版)ネットワーク内の装置間で適切にいずれの方向にも送ることができる。

【0028】

本発明を用いて、VCR100は、IEEE1394規格(1995年版)シリアルバスケーブル90を介して、ビデオソース106からテレビジョン60に符号化ビデオデータストリームを効率的に送信することができる。また、VCR100は、テレビジョン60により表示される画面表示グラフィックスを生成する機能を有することができる。画面表示グラフィックスはグラフィックスソース108により生成され、好ましくはビデオデータストリームを含む他のデータストリームとは別にIEEE1394規格(1995年版)シリアルバスケーブル90を介してアイソクロナスフォーマットでテレビジョン60に送信される。あるいは、グラフィックスソース108からの画面表示グラフィックスは、ビデオソース106からのビデオデータストリームと組み合わせられて、IEEE1394規格(1995年版)シリアルバスケーブル90を介してデジタルフォーマットで送信される。好ましくは、画面表示グラフィックスは、テレビジョン60への送信前に圧縮回路110により可能且つ適切な方法で圧縮される。あるいは、画面表示グラフィックスは、圧縮せずに送信される。さらに他の実施例では、画

面表示グラフィックスはアシンクロナスパケットを用いてIEEE1394規格(1995年版)シリアルバスケーブル90を介して非同期的に送信される。

【0029】

画面表示グラフィックスは、テレビジョン60により受信されると、埋込型ストリームプロセッサ84により分離され、アイソクロナスパケットに含まれるアドレス値に対応するバッファ78内のメモリ位置にロードされる。1画面又はフレームの画面表示グラフィックスの最終パッケージがVCR100から送られた後、VCR100は、テレビジョン60が画面表示グラフィックスデータを表示すべき表示時間に関する情報を含んだトリガパッケージを送る。トリガパッケージを受信すると、テレビジョン60は、トリガパッケージ内のプレゼンテーション時間値により特定される時間にてディスプレイ62に表示されるように、画面表示バッファ78内のデータをVRAM回路64にロードする。画面表示バッファ78内のデータが圧縮されている場合、VRAM回路64に供給される前に伸長回路76が画面表示グラフィックスデータの伸長を行う。

【0030】

好ましくは、上述のような画面表示グラフィックスデータの送信及び処理は、フルフレームのデータに対して行われる。あるいは、この送信及び処理動作は、一走査線等のごく一部のデータに対して行うこともできる。この後者の実施例では、記憶しなければならないデータが少ないので、ソースデバイスと表示装置には小型のデータバッファを設けることができる。いずれの場合も、VRAM回路64に最後のデータをダンプする最終段階では、1フレームのデータを蓄積して、ユーザが視認できるようにVRAM回路64を切り換え、画面表示グラフィックスデータのフレーム間のスムーズな移行を可能にすることが必要である。

【0031】

画面表示グラフィックスメモリバッファ78の好ましい構成を図4に示す。メモリバッファ78は、1フレームのデータがまとめて記憶される多数のメモリ記憶位置120～124を有している。各メモリ記憶位置120～124は個々にアドレス指定が可能である。しかし、メモリバッファ78への書き込み時において、あるアドレスが特定された後は、次のアドレス値が供給されるまでメモリバ

ッファ78内の順次増加するアドレスにデータが書き込まれる。好ましくは、メモリバッファ78内の最終記憶位置126には、メモリバッファ78内のデータの表示時間を指定するのに用いられるトリガパケットが記憶される。あるいは、他の適切な指定トリガメモリバッファ又は位置にトリガパケットが記憶される。

【0032】

ソースデバイスから表示装置にデータを送信するのに、好ましくは差分符号化方式を用いる。この差分符号化方式を用いて、前フレームから現フレームに変化したデータを持つパケットのみがソースデバイスから送信される。ソースデバイスから送信されたビデオデータが変化したパケットは、メモリバッファ78ないの適切なメモリ記憶位置に書き込まれる。現フレームについての変化したすべてのパケットがメモリバッファ78にロードされると、トリガパケットが最終記憶位置126にロードされる。この差分符号化方式では、画面表示グラフィックスデータの連続する各フレーム毎に転送が必要なデータの量が最小限となる。

【0033】

以下に詳細に説明するが、トリガパケットには好ましくは2クワドレットのデータが含まれている。第1のクワドレットの最上位ビットは、論理的ハイレベルに設定されたトリガビットtである。メモリバッファ内のトリガビットが論理的ハイレベルに設定されたことを表示装置が検出すると、メモリバッファ78内の現フレームの記憶が完了したことを示す。トリガパケット内の第1のクワドレットの次の上位ビットはオーバーレイビットoであり、これは、現在の画面表示グラフィックスデータフレームをビデオデータフレームにかぶせるか否かを特定するものである。好ましくは、オーバーレイビットoが論理的ハイレベルである場合、現在の画面表示グラフィックスデータフレームをビデオデータフレームにかぶせることにする。現在の画面表示グラフィックスデータフレームをビデオデータフレームにかぶせる場合、テレビジョン60が現在の画面表示グラフィックスデータをビデオデータと合成する。一方、オーバーレイビットoが論理的ローレベルである場合、現在の画面表示グラフィックスデータフレームはビデオデータフレームにかぶせない。第1のクワドレットの残りについてはリザーブとするので使用しない。トリガパケット内の第2のクワドレットには、現在の画面表示グラフィ

ックスデータフレームが表示されるべき時間を特定するプレゼンテーション時間値が含まれている。このプレゼンテーション時間値は、即時表示から、プレゼンテーション時間値により示される適切な時間値における表示までの時間を特定する。

【0034】

スムーズでちらつきのない画面更新を行うため、図5に示すように、テレビジョン60内のVRAM回路64を2つの部分に分割することが好ましい。VRAM回路64は、好ましくはVRAM回路123とVRAM回路121の2部分からなる。各VRAM回路121、123は、好ましくは1フレーム分のデータを記憶する容量を有している。テレビジョン60内のコントローラ63がVRAM回路121、123の切り換えを管理する。1フレームのデータはまずVRAM回路123に転送される。VRAM回路123が1フレームのデータを有すると、コントローラ63は次フレームのデータをVRAM回路121に記憶させる。VRAM回路121、123の一方がいっぱいするとき、コントローラ63は、適切なプレゼンテーション時間にてVRAM回路121又は123内のデータをディスプレイ62に表示させる。

【0035】

図5に示すVRAM回路64は、表示すべきデータを扱う最も効率的な方法であると考えられるので好ましい。しかし、この方法では2フレームのデータを記憶するのに十分なVRAMが必要である。必要なVRAMの量を少なくする他の実施例を図6に示す。伸長回路76からセクタ130を介してデータが供給され、セクタ130は第1のバッファ132又は第2のバッファ134のいずれかにデータを供給して、データが記憶される。バッファ132、134はVRAMバッファではなく、それぞれ1フレーム分のデータを記憶することができる通常のRAMバッファである。そして、セクタ136が適切なバッファ132又は134からVRAM回路138にデータを送り、ディスプレイ62に表示されるようにする。本実施例は、バッファ132、134とセクタ130、136を介してデータを扱うことがさらに必要となるので、あまり好ましくない。しかし、本実施例では比較的安価なRAMバッファを用いることにより、必要なVR

AMの量を最小限にしている。

【0036】

さらに他の実施例では、図7に示すように、伸長回路76とVRAM回路138の間に単一の間中バッファが設けられる。単一の間中バッファ140は、伸長回路76からデータを受信し、VRAM回路138にデータを送信する。本実施例では、中間バッファ140がVRAM回路138に1フレームのデータを送信しているときに、同時に伸長回路76からデータを受信して使用可能なメモリ位置にデータを記憶している。本実施例では、単一の間中バッファを有し、1フレーム分のみのデータ容量を有するVRAM回路138を使用している。しかし、本実施例では、データが同時に中間バッファ140から転送されるとともに記憶されるので、データを扱うプロセス全体において正確な調整が必要である。

【0037】

VCR100又は他のソースデバイスは、グラフィックスソース108からの画面表示グラフィックスデータを、IEEE1394規格(1995年版)シリアルバスケーブル90を介して送信されるアイソクロナスパケットに対応する各部分に分割する。1フレームの画面表示グラフィックスデータは、アイソクロナスデータパケットにおいて送信されるような適切なサイズを有する各データブロックに分割される。差分符号化を用いる場合、新たなフレームで画素が異なるパケットのみを表示装置に送る。しかし、各データパケットは画面表示バッファ78内のアドレスに供給されるので、クワドレットのデータにおける画素が変化したときにそのクワドレットを送ることが好ましい。従って、好ましくは、差分符号化されたデータパケットには最低4バイトが含まれている。

【0038】

IEEE1394規格(1995年版)シリアルバスネットワークを介して画面表示グラフィックスデータを送信するためのアイソクロナスデータパケットの好ましいフォーマットを図8に示す。このデータパケットのフォーマットはISO/IEC61883規格にも準拠するものである。アイソクロナスデータパケットには、パケットヘッダとデータフィールド又はペイロードが含まれている。アイソクロナスパケットヘッダは、データ長(data_length)フィールド、タグ

フィールド、チャンネルフィールド、tコード(tCode)フィールド、syフィールド、ヘッダCRC(header_CRC)フィールドにより構成されている。データ長フィールドは、パケットに含まれるCIP(共通アイソクロナスパケット)ヘッダ内のバイト数を含む、データフィールド内のデータのバイト数を表す値を有している。タグフィールドは、アイソクロナスパケットにより搬送されるデータのフォーマットについての高レベルラベルを与えるものである。チャンネルフィールドは、アイソクロナスパケットが送信されるチャンネル番号を有している。tコードフィールドは、パケットのトランザクションコードを有している。アイソクロナスデータパケットの場合、tコードフィールドはAh又はChのいずれかの値を有している。syフィールドは、現在のアイソクロナスパケットのデータを、あるアプリケーション固有のイベントに同期させるために、あるアプリケーションにおいて使用される同期フラグを有している。

【0039】

本発明に係る画面表示グラフィックスを送信するのに用いられるアイソクロナスパケットのデータフィールドのフォーマットを図9に示す。データフィールドは、拡張CIPヘッダとデータ部により構成される。拡張CIPヘッダには、各クワドレットにおけるヘッダビットのエンドと、各クワドレットの2つの最上位ビットにおけるフォームビットが含まれている。拡張CIPヘッダの好ましいフォーマットにおいて、ヘッダビットのエンドは、拡張CIPヘッダにおける4番目で最後のクワドレットまでは論理的「1」に設定されない。ヘッダビットのエンドが論理的「1」の値になると、現在のクワドレットがCIPヘッダにおける最後のクワドレットであることを示す。CIPヘッダにおいて、SIDフィールドは送信ノードのソースノードID値を有している。DBSフィールドは、各クワドレット内のデータブロックのサイズを表す値を有している。FNフィールドは、ソースパケットが分割されるデータブロック数を表す分数を有している。QPCフィールドは、分割されたデータブロックのサイズを等しくするためにソースパケットに付加されるダミークワドレット数を表す値を有している。ソースパケットが分割されていないことをFNフィールドが示す場合、QPCフィールドはゼロの値を有する。SPHフラグは、ソースパケットがソースパケットヘッダ

を有するか否かを表す。ソースパケットがソースパケットヘッダを有しているときは、SPHフラグは論理的「1」に設定される。rsvフィールドは後に拡張を行うためのリザーブである。DBCフィールドは、データブロックのロスを検出するためのデータブロック連続性カウンタである。FMTフィールドは、パケットのフォーマットを識別するフォーマット識別子を有している。FDFフィールドはフォーマット依存型フィールドであり、パケットのフォーマットに依存する。SYTフィールドは、送信器と受信器を同期させるのに用いられる。OSDバッファアドレス (OSD_buffer_address) フィールドは、アイソクロナスパケットに含まれる画面表示グラフィックスデータが、画面表示グラフィックスデータバッファ78において記憶されるアドレスを有している。残りのデータ部は、アイソクロナスパケットにおける実際の画面表示グラフィックスデータペイロードを有している。

【0040】

トリガパケットは、好ましくはアイソクロナスデータパケットであって、図8に示すのと同じフォーマットを有している。しかし、データフィールドは、図9に示すような画面表示グラフィックスデータパケットのデータフィールドとは異なる。トリガパケットのデータフィールドの好ましいフォーマットを図10に示す。データフィールドの拡張CIPヘッダ部のフォーマットは、上述の図9に示すフォーマットと同じである。OSDバッファアドレスフィールドは、トリガパケットが書き込まれるアドレスを表す値を有している。データペイロードにおいて、トリガパケットは好ましくは3つのクワドレットを有している。第1のクワドレットには、最上位ビットとしてのトリガビットtが設けられ、トリガパケットについて論理的「1」の値に設定されている。トリガパケットにおける第1のクワドレットの次の上位ビットはオーバーレイビットoである。オーバーレイビットoは、現在の画面表示グラフィックスデータフレームをビデオデータフレームにかぶせるか否かを特定するものである。トリガパケットにおける第2及び第3のクワドレットには、好ましくは、画面表示グラフィックスデータの現フレームが表示される時間値を表す64ビットの値を有するプレゼンテーションタイム (presentation_time) フィールドが設けられている。すべて論理的「0」からなる

プレゼンテーション時間値は、即時プレゼンテーション時間を示す。

【0041】

トリガビットtが書き込まれると、表示装置には、バッファ78が適切なプレゼンテーション時間にて表示できるフルフレームの画面表示グラフィックスデータを有していることが通知される。そして、データがVRAM回路64に転送され、プレゼンテーション時間値により特定される時間に表示される。当該分野の技術にとっては明らかであるように、トリガビットtを有することが好ましいが、トリガビットを必要としないことも可能である。他の実施例において、プレゼンテーション時間値を含むトリガビットのライトトランザクションはトリガイベントとして動作し、表示装置には、バッファ78がプレゼンテーション時間値により特定された時間に表示すべき1フレームの画面表示グラフィックスデータを有していることが通知される。

【0042】

画面表示グラフィックスソースデバイスと表示装置の間で通信が開始されると、画面表示グラフィックスデータの伝送及び処理に使用するパラメータを決定するため、ソースデバイスと表示装置の間でネゴシエーションが行われる。このネゴシエーション処理では、表示装置における画面表示バッファ78のアドレス、画面表示バッファ78のサイズ、ビット深さ等の画面表示グラフィックスデータの属性等のパラメータを決定する。好ましくは、画面表示バッファ78のアドレスは、すべての表示装置において同じアドレスになるように固定されている。あるいは、画面表示バッファ78のアドレスは、単一のバッファベースアドレス又は表示装置により用いられる複数のバッファのうちの1つに対応するアドレスのいずれかになるように、表示装置により定められている。表示装置において、ネゴシエーションプロセスでは、画面表示グラフィックスデータが受信されるアイソクロナスチャネルの決定と、このチャネルの画面表示バッファとして用いられる内部バッファの割り当てが行われる。

【0043】

好ましくは、いずれの時点においても、1つのソースデバイスのみが1つの画面表示グラフィックスバッファ78に書き込んでいるものとする。あるいは、表

示装置は、複数の画面表示バッファ78から同時に画面表示グラフィックスを表示することができる。この後者の実施例は、ピクチャインピクチャ等のマルチ表示技術を組み込んだ表示装置において有効である。各バッファ78は各表示毎に別々に維持される。この実施例では、すべてのソースデバイスが同じバッファアドレスに画面表示グラフィックスデータを送る場合、埋込型ストリームプロセッサ84がこのデータを受信して、データが受信されたアイソクロナスチャネルに応じて表示装置内の適切な画面表示バッファに供給する。

【0044】

また、ソースデバイスは、好ましくは、複数の画面表示グラフィックスデータストリームを単一の表示装置に送る、又は、複数の表示装置における複数の画面表示グラフィックスデータストリームの表示を調整する能力を有している。また、ソースデバイスは、単一の画面表示グラフィックスデータストリームを複数の表示装置に同時に送って、画面表示グラフィックスの調整表示を行う能力を有している。

【0045】

画面表示グラフィックスバッファ78が1つも割り当てられていないアイソクロナスチャネル上の表示装置により受信されたデータパケットは、埋込型ストリームプロセッサ84により放棄される。また、上述のような画面表示グラフィックスデータパケットに対応する正しいヘッダ構造を有していない入力アイソクロナスデータパケットについても、埋込型ストリームプロセッサ84により放棄される。埋込型ストリームプロセッサ84は、拡張CIPヘッダの4つのクワドレットにおけるヘッダエンドとフォームビットの特定の組み合わせにより、画面表示グラフィックスデータパケットを認識する。

【0046】

好ましくは、テレビジョン60により受信されているアイソクロナスチャネルでアイソクロナスデータパケットが受信されたとき、IEEE1394規格(1995年版)インターフェース回路86は埋込型ストリームプロセッサ84にそのパケットを送る。埋込型ストリームプロセッサ84は、好ましくは、不要なアイソクロナスパケットに対するフィルタとしても、適切に受信された画面表示ア

アイソクロナスデータパケットのプロセッサとしても動作する。適切に受信されたアイソクロナスデータパケットについては、埋込型ストリームプロセッサ84は、受信したアイソクロナスパケットを分析し、そのパケットがビデオデータを有しているか画面表示グラフィックスデータを有しているかを判断し、パケットからヘッダを分離し、パケットがビデオデータを有している場合にはA/Vスイッチ74にデータペイロードを供給し、パケットが画面表示グラフィックスデータを有している場合には伸長回路76にデータペイロードを供給する。好ましくは、画面表示グラフィックスデータは送信時に圧縮されているので、処理前に伸長されなければならない。あるいは、画面表示グラフィックスデータは、送信時に圧縮されていないので、伸長回路76は必要ない。その後、画面表示グラフィックスデータは、画面表示バッファ78内の適切な位置にデータを記憶するためのDMAエンジン77を介して、画面表示バッファ78に供給される。DMAエンジン77は、現在の画面表示グラフィックスデータが記憶されるべき画面表示バッファ78内の位置を特定するアドレス指定情報を、埋込型ストリームプロセッサ84から受信する。DMAエンジン77からは、現在の画面表示グラフィックスデータが画面表示バッファ78内の適切な位置に記憶される。

【0047】

画面表示グラフィックスデータが送信時に圧縮されている場合、データは伸長回路76に供給されて、画面表示バッファ78に記憶される前に伸長される。データがソースデバイスにより圧縮されている場合、送信されるデータのタイプに対して適切な既知の方法により圧縮されている。伸長回路76は、適切な伸長手法を用いて圧縮データの伸長を行う。他の実施例では、伸長回路76は伸長されたデータを蓄積する作業バッファを備えている。作業バッファがいっぱいになると、伸長回路76はDMAエンジン77を起動させ、DMAエンジン77が、伸長された画面表示グラフィックスデータを画面表示バッファ78内の適切な位置に供給する。しかし、本発明の好ましい実施例では、伸長回路76は作業バッファを備えず、伸長されたデータを一度に1クワドレットずつ、DMAエンジン77に直接供給する。DMAエンジン77は、埋込型ストリームプロセッサ84からデータの開始アドレスを受信する。従って、DMAエンジンが伸長回路76か

らデータを受信している限り、DMAエンジンは画面表示バッファ78内の順次増加するアドレス位置に伸長されたデータを記憶する。伸長回路76は、現在のパケットの画面表示グラフィックスデータの伸長を終了すると、パケットが完成したことをDMAエンジン77に通知する。そして、DMAエンジン77と伸長回路76は、埋込型ストリームプロセッサ84から供給される次のアイソクロナスパケットを待機する。

【0048】

埋込型ストリームプロセッサ84、109の好ましい実施例については、本願において参照する米国特許出願第08/612,322号、1996年3月7日出願、「アプリケーションとバス構造の間を通る高速アイソクロナスデータストリームの管理及び操作を行うためのアイソクロナスデータパイプ (ISOCRONOUS DATA PIPE FOR MANAGING AND MANIPULATING A HIGH-SPEED STREAM OF ISOCRONOUS DATA FLOWING BETWEEN AN APPLICATION AND A BUS STRUCTURE)」に提示されている。埋込型ストリームプロセッサ84はプログラム可能であり、データを適切なフォーマットにするのに必要なデータ操作を行うために、データストリームに対する一連のインストラクションを実行する。本発明では、埋込型ストリームプロセッサ84は、画面表示グラフィックスデータを含むアイソクロナスパケットを受信し、パケットからヘッダを分離し、パケットの画面表示グラフィックスデータペイロードを伸長回路76に供給するとともに、アドレス指定情報をDMAエンジン77に供給する。本発明では、埋込型ストリームプロセッサ109は、ビデオソース106及びグラフィックスソース108からデータを受信し、パケットにヘッダを付加し、IEEE1394インターフェース回路102にパケットを供給する。あるいは、適切な処理能力を有する機構であればいずれのものでも、埋込型ストリームプロセッサ84、109の代わりに用いることができることは、当該分野の技術者にとって明らかである。

【0049】

上述のように、本発明の他の実施例では、表示装置が複数の画面表示バッファからの画面表示グラフィックスを同時に表示することが可能である。本実施例に必要なテレビジョン60内のデータ処理コンポーネントを図11に示す。DMA

エンジン77は、画面表示バッファ150、152、154に接続されている。画面表示バッファ150、152、154は、それぞれミキサ回路156に接続されている。ミキサ回路156はVRAM回路64に接続されている。本実施例では、テレビジョン60内の埋込型ストリームプロセッサ84が、入力されてくるアイソクロナスチャンネル番号と画面表示バッファ150、152、154との対応付けを行う。画面表示バッファ150、152、154は、それぞれ別々に保持されており、それぞれ1つのアイソクロナスチャンネル番号に対応する。埋込型ストリームプロセッサ84がアイソクロナスデータパケットを受信すると、チャンネル番号が決定され、適切な画面表示バッファアドレスに対応する適切なアドレス指定情報がDMAエンジン77に供給される。そして、ミキサ回路156がバッファ150、152、154からVRAM回路64にデータを供給する。ミキサ回路156は、表示用に各画面のデータの入れ替えや各画面のデータの組み合わせを行って、ユーザに表示するのに適切な方法で、1以上のバッファからのデータを合成する。

【0050】

1画面の画面表示グラフィックスデータを送信するときにソースデバイス100が行う好ましい工程のフローチャートを図12に示す。この好ましい送信方法はステップ200にて開始する。ステップ202にて、グラフィックスソース108によりフル画面の画面表示グラフィックスデータが生成される。差分符号化を用いる場合、画素が変化する画面表示グラフィックスデータのみが生成される。ステップ204にて、画面表示グラフィックスデータが圧縮回路110に送信され、圧縮される。あるいは、圧縮工程を省略して画面表示グラフィックスデータの圧縮を行わない。ステップ206にて、圧縮された画面表示グラフィックスデータはソースパケットに分割される。ステップ208にて、ソースパケットヘッダがソースパケットに付加される。フルパケットを形成するのに十分なデータを有していないソースパケットがあれば、各ソースパケットをフルパケットにするためにステップ210でパディングバイトが付加される。

【0051】

圧縮データを有するソースパケットは、ステップ212にて、埋込型ストリー

ムプロセッサ109によりアイソクロナスパケットヘッダとCIPヘッダとを有するアイソクロナスパケットに組み合わせられて、インターフェース回路102に供給される。アイソクロナスデータパケットに組み合わせられたソースパケットからなるデータストリームの例を図14に示す。各ソースパケット160～172は、ソースパケットヘッダとデータペイロードとを有している。多数のソースパケットを組み合わせ、アイソクロナスデータパケットを形成する。図14では、ソースパケット160、162、164を組み合わせ、アイソクロナスデータパケット174を形成し、ソースパケット166、168、170を組み合わせ、アイソクロナスデータパケット176を形成する。各アイソクロナスデータパケットは、上述のようにアイソクロナスパケットヘッダとCIPヘッダとを有している。

【0052】

そして、ステップ214にて、IEEE1394規格（1995年版）シリアルバスケーブル90を介してアイソクロナスデータパケットが表示装置60に送信される。1画面の画面表示グラフィックスデータが送られると、ステップ216にて、グラフィックスソース108によりアイソクロナストリガパケットが生成される。ステップ218では、インターフェース回路102によりアイソクロナストリガパケットが表示装置に送信される。トリガパケットが送信されると、ステップ220にて、この画面の画面表示グラフィックスデータについてのプロセスが終了する。図12に示すプロセスは、VCR100により生成される各画面の画面表示グラフィックスデータについて繰り返す。

【0053】

画面表示グラフィックスデータを受信するときに表示装置60が行う好ましい工程のフローチャートを図13に示す。この好ましい方法はステップ230にて開始する。ステップ232にて、表示装置によりアイソクロナスデータパケットを受信される。ステップ234では、アイソクロナスデータパケットを受信されたチャンネル番号を決定する。そして、ステップ236にて、埋込型ストリームプロセッサ84により、現在のアイソクロナスデータパケットが画面表示グラフィックスデータを有しているかビデオデータを有しているかを判断する。現在のア

アイソクロナスデータパケットがビデオデータ、オーディオデータ又は他の非画面表示グラフィックスデータを有している場合、そのパケットはA/Vスイッチ74に転送され、ステップ238にて非画面表示グラフィックスデータとして処理され、プロセスはステップ232に戻って次のアイソクロナスデータパケットを受信する。一方、現在のアイソクロナスデータパケットが画面表示グラフィックスデータを有している場合、ステップ240にて、埋込型ストリームプロセッサ84によりパケットからヘッダ情報が分離される。そして、ステップ241にて、ソースパケットヘッダ内のデータを用いて、ソースパケットが再構成される。

【0054】

ステップ242にて、現在のデータが記憶されるべきバッファ78内のアドレスを決定する。画面表示グラフィックスデータが既に圧縮されている場合、画面表示グラフィックスデータが伸長回路76に供給され、ステップ244にて伸長が行われる。ステップ246にて、伸長されたデータが画面表示バッファ78内の適切なアドレスに記憶される。そして、ステップ248にて、このデータパケットがトリガパケットであったか否かを判断する。データパケットがトリガパケットではなかった場合、プロセスはステップ232に戻って次のアイソクロナスデータパケットを受信する。

【0055】

現在のデータパケットがトリガパケットである場合、ステップ250にて、パケット内のプレゼンテーション時間値が決定される。そして、プレゼンテーション時間になるまでステップ252にて待機する。プレゼンテーション時間になると、ステップ254にて、画面表示バッファ78からのデータが画面表示バッファ78からVRAM回路64に転送され、ディスプレイ62に表示される。そして、プロセスはステップ232に戻って次のアイソクロナスデータパケットを受信する。

【0056】

上述のように、ソースデバイスから表示装置に画面表示グラフィックスデータを送信するにはアイソクロナスデータパケットを用いる。アイソクロナスデータパケットは、それぞれ、表示装置内のメモリ位置に対応するアドレスを有してい

る。画面表示グラフィックスデータはソースデバイスにより生成され、好ましくは非画面表示グラフィックスデータとは別に、アイソクロナスデータストリームとして表示装置に送信される。あるいは、画面表示グラフィックスデータは、ビデオデータ等の他のデータストリームと組み合わせられ、IEEE 1394規格（1995年版）シリアルバス等の高速シリアルインターフェースを介して、ソースデバイスから表示装置に送信される。表示装置にて画面表示グラフィックスを表示するのに、グラフィックスプリミティブやH A V iコマンド等の特定のグラフィックスコマンドは使用しない。また、画面表示グラフィックスデータをソースデバイスから送信する前に、画面表示グラフィックスデータの符号化は不要である。ある装置が符号化を必要とせず純粋なグラフィックスデータを送信することを可能にすることにより、ミニディスク等のビデオ性能が限られた装置でも、ユーザとのインターフェーシングを行うためにグラフィックスデータを表示装置に送ることができる。これにより、ユーザは表示装置を介してホームオーディオシステムを構築する等を行うことができる。

【0057】

各パケットの画面表示グラフィックスデータには、画面表示バッファを形成する表示装置内のメモリアドレスに対応するアドレス値が含まれている。表示装置により受信されると、画面表示グラフィックスデータは画面表示バッファ内の適切なメモリ位置にロードされる。埋込型ストリームプロセッサを用いて、各アイソクロナスデータパケットからヘッダ情報を分離するとともに、そのデータが記憶されるべき画面表示バッファ内の適切なメモリ位置を決定する。そして、1画面の画面表示グラフィックスデータの最後にトリガパケットが送られる。トリガパケットが受信されると、表示装置は、特定のプレゼンテーション時間に表示装置により表示されるように、画面表示バッファに記憶されたデータをV R A M回路に転送する。画面表示グラフィックスデータがビデオデータストリームにかぶせられている場合、表示装置はビデオデータストリームを復号化した後、復号化ビデオストリームを画面表示グラフィックスデータと組み合わせて表示する。データの一部のみが前フレームから変化しているようなデータフレームを転送するときには、差分符号化を使用する。

【0058】

以上、本発明の構成及び動作の原理を理解しやすくするため、詳細事項を含んだ具体的な実施例を用いて本発明を説明した。このような具体的な実施例や詳細事項については、添付の請求の範囲を限定するものではない。本発明の趣旨を逸脱しない範囲で実施例の変更を行うことができることは、当該分野の技術者にとって明らかである。具体的には、本発明の好ましい実施例ではIEEE1394規格（1995年版）シリアルバス構造を用いているが、IEEE1394の他のバージョンや将来的なバージョンを含む他の適切なデジタルインターフェース又はバス構造でも本発明を実施できることは、当該分野の技術者にとって明らかである。

【図面の簡単な説明】

【図1】

IEEE1394規格（1995年版）により定義されるプロトコルを示す図である。

【図2】

テレビジョンとVCRからなる従来のホームオーディオ／ビデオネットワークの例を示すブロック図である。

【図3】

テレビジョンとVCRからなる、本発明に係る装置のネットワークの例を示すブロック図である。

【図4】

本発明の画面表示グラフィックスメモリバッファの好ましい構成を示す図である。

【図5】

本発明のVRAM回路の好ましい構成を示す図である。

【図6】

本発明のVRAM回路の他の構成を示す図である。

【図7】

伸長器とVRAM回路の間の単一の間接バッファを備えた、本発明の他の構成

を示す図である。

【図8】

本発明に係る画面表示グラフィックスデータを送信するためのアイソクロナスデータパケットの好ましいフォーマットを示す図である。

【図9】

本発明のアイソクロナスデータパケットのデータフィールドの好ましいフォーマットを示す図である。

【図10】

本発明のトリガパケットのデータフィールドの好ましいフォーマットを示す図である。

【図11】

テレビジョン60の他の実施例におけるデータ処理素子を示すブロック図である。

【図12】

1画面の画面表示グラフィックスデータを送信するときにソースデバイスが行う好ましい工程を示すフローチャートである。

【図13】

画面表示グラフィックスデータを受信するときに表示装置が行う好ましい工程を示すフローチャートである。

【図14】

アイソクロナスパケットのストリームにソースパケットのストリームを組み合わせる様子を示す図である。

【図1】

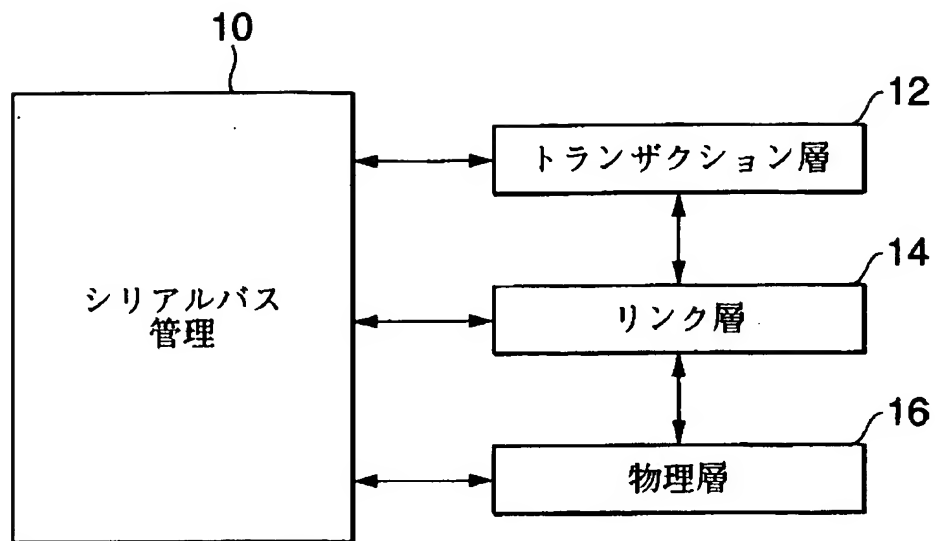


FIG.1
(従来技術)

【図2】

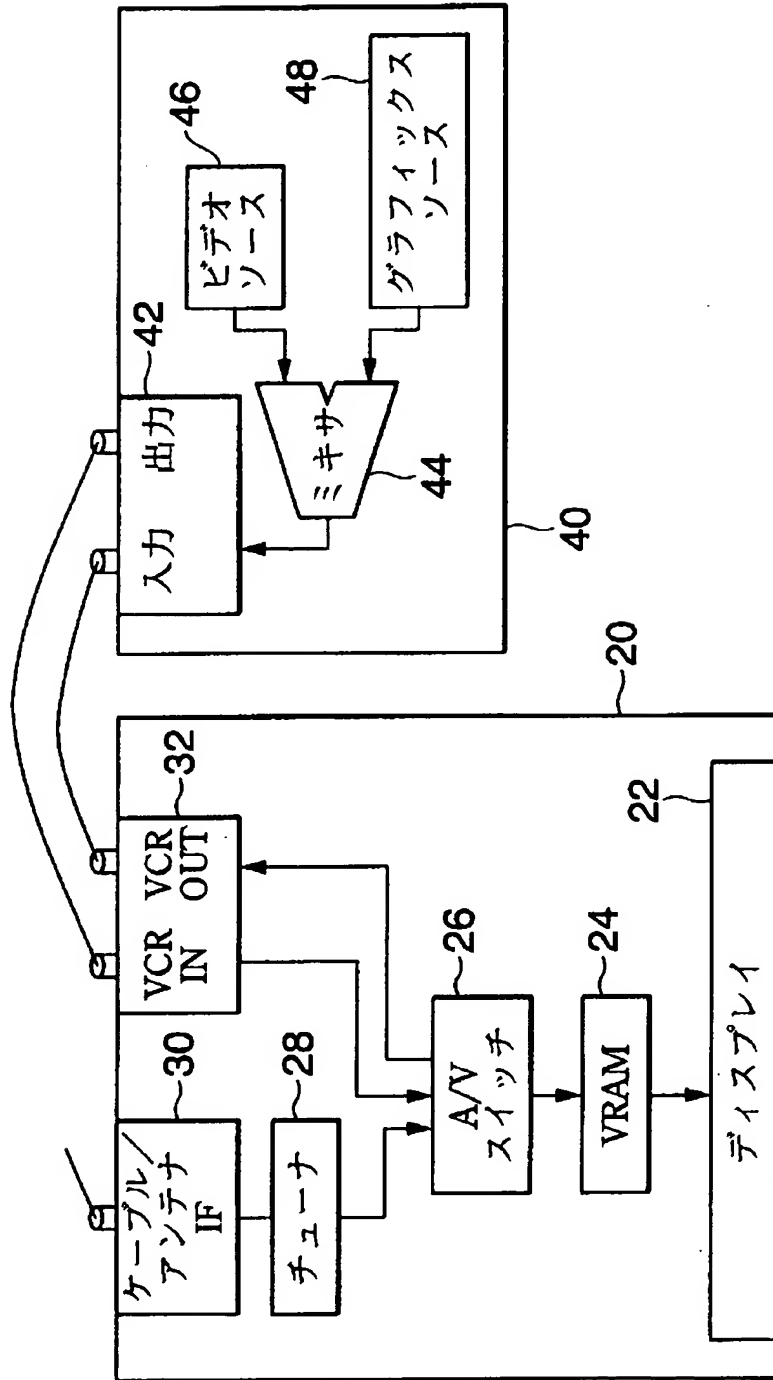


FIG.2

【図3】

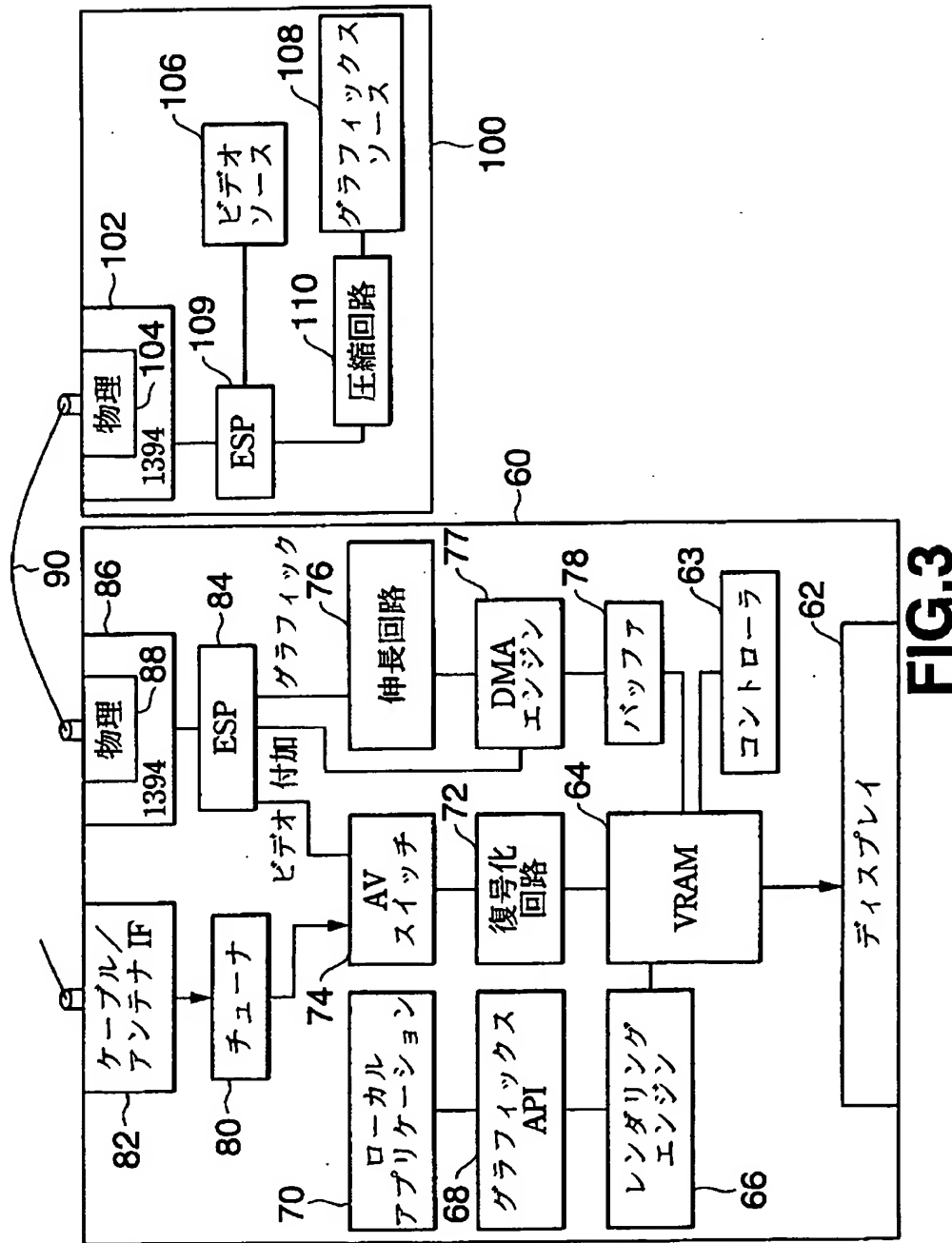


FIG.3

【図4】

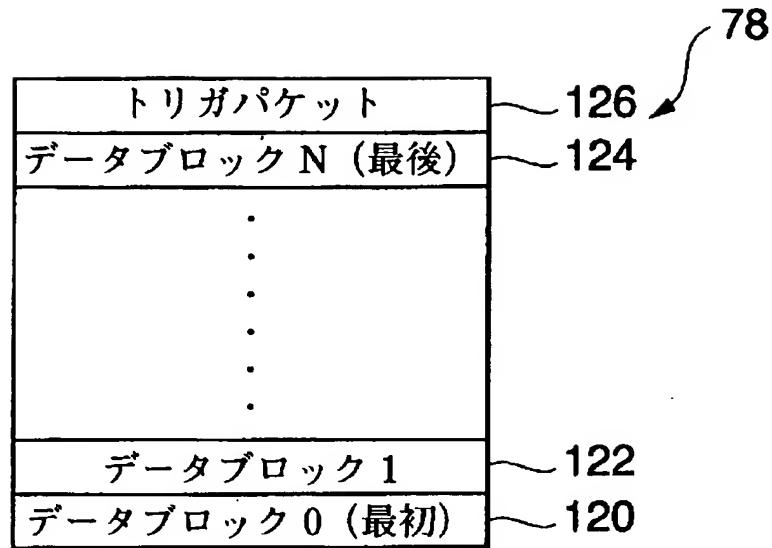


FIG.4

【図5】

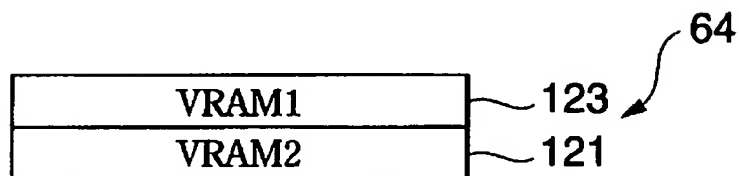


FIG.5

【図6】

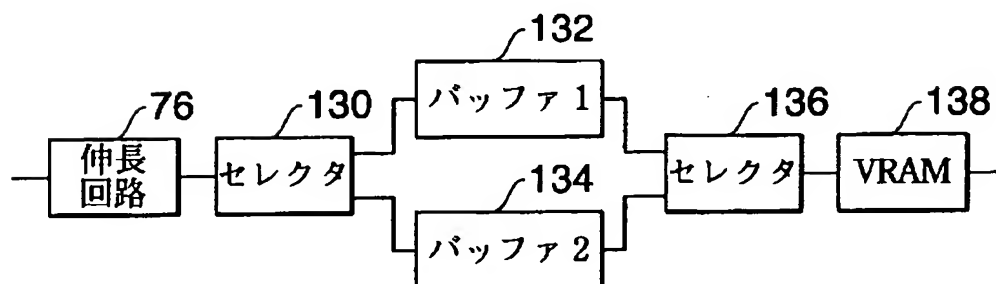
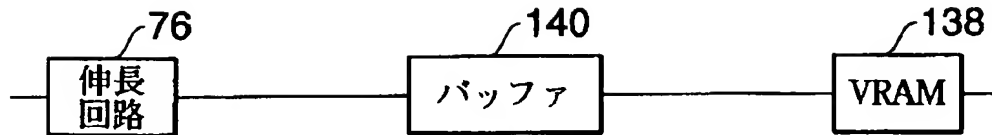


FIG.6

【図7】

**FIG.7**

【図8】

データ長	タグ	チャネル	tコード	SY
HEADER_CRC				
データフィールド				
DATA_CRC				

FIG.8

【図9】

0	0	SID	DBS	FN	QPC	SPH	RSV	DBC
0	0	FMT	FDF	SYT				
0	0	OSD_BUFFER_ADDRESS						
1	0							
データブロック								

FIG.9

【図10】

0	0	SID	DBS	FN	QPC	SPH	RSV	DBC
0	0	FMT	FDF	SYT				
0	0	OSD_BUFFER_ADDRESS						
1	0							
1	0	PRESENTATION_TIME						

FIG.10

【図11】

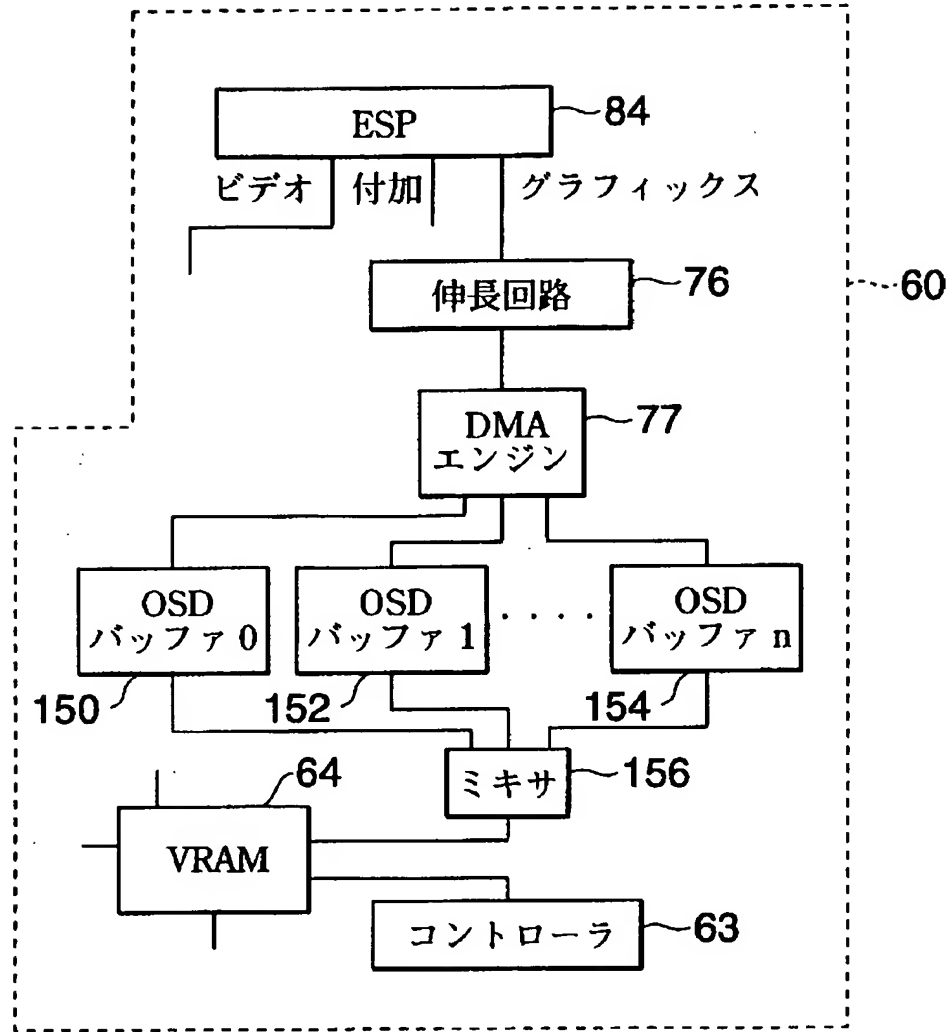


FIG.11

【図12】

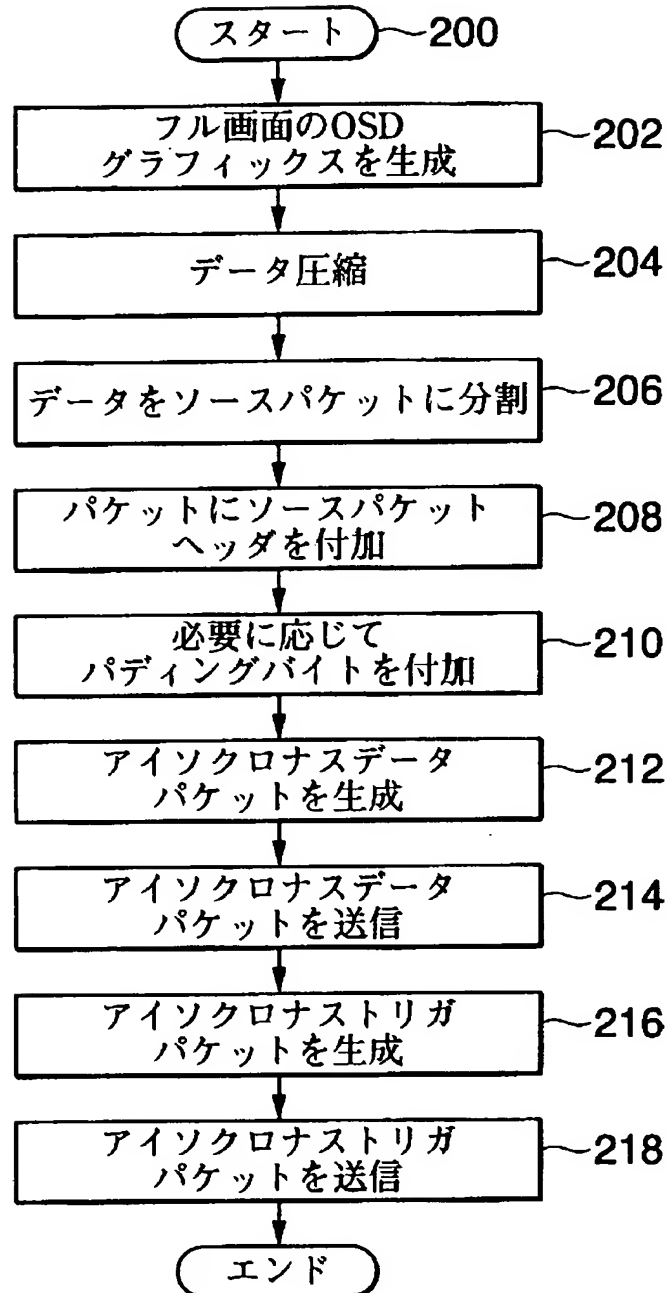


FIG.12

【図13】

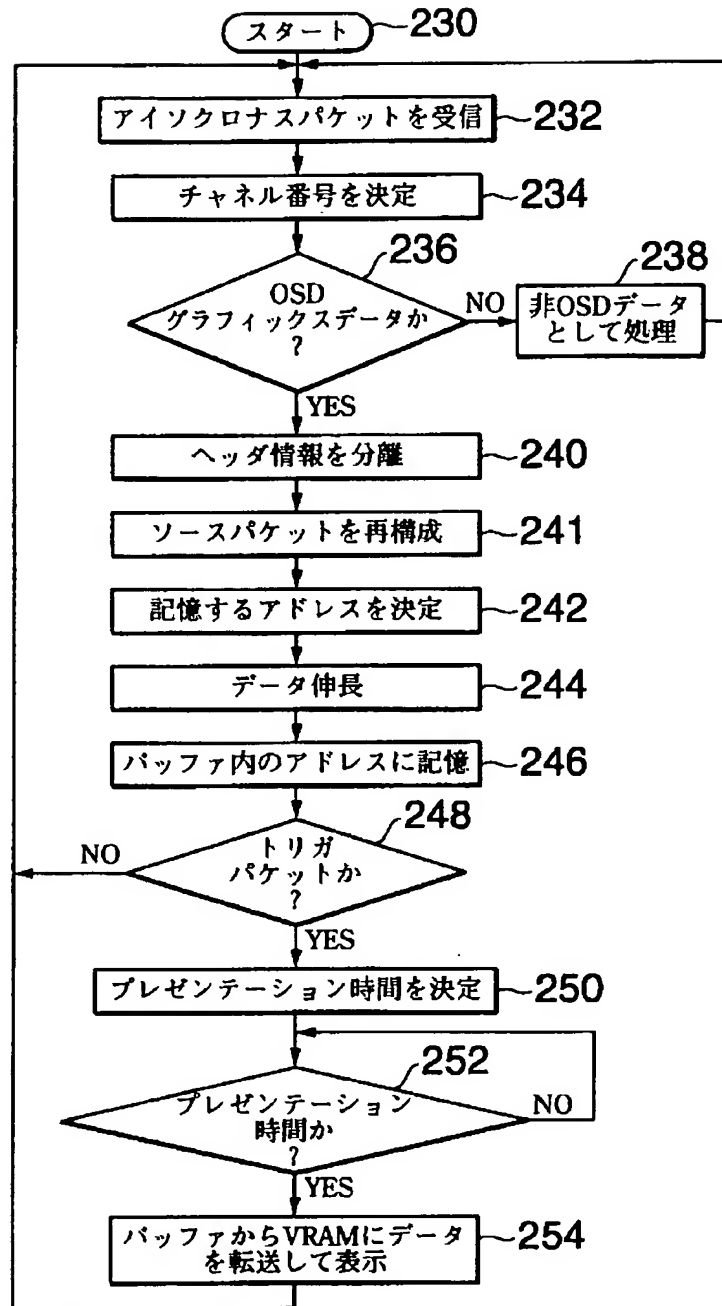


FIG.13

【図14】

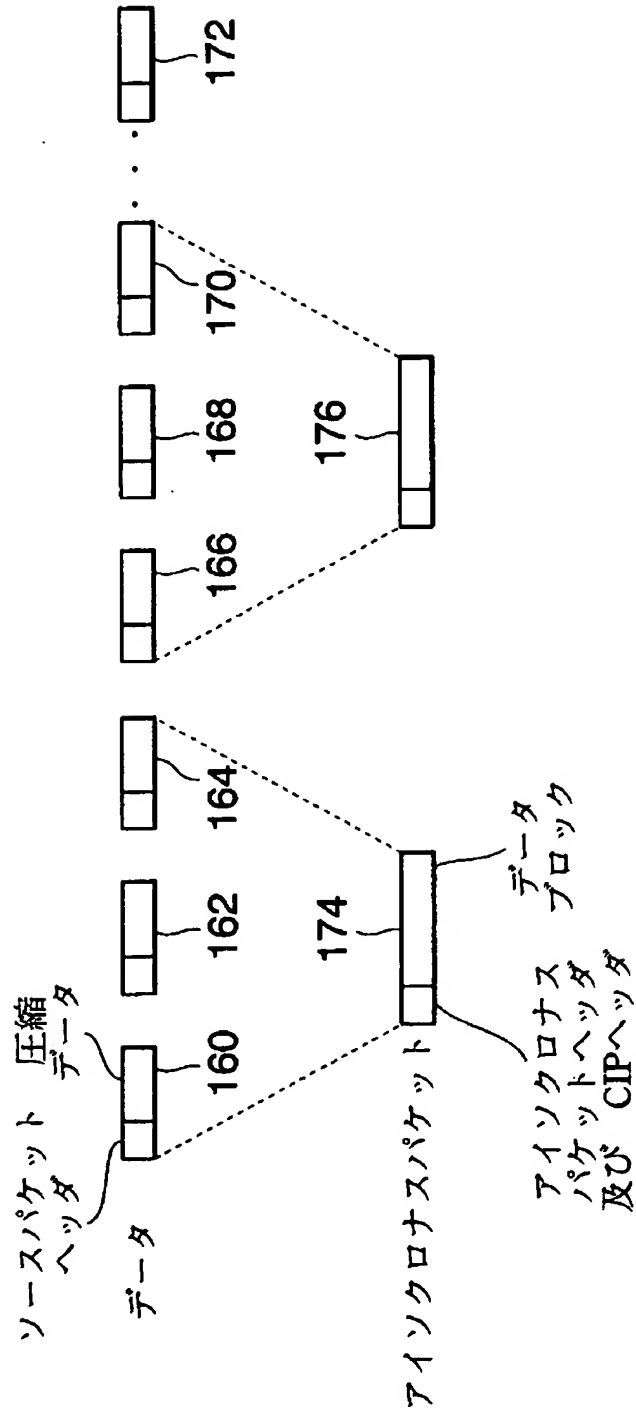


FIG.14

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年7月10日(2000.7.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 画面表示グラフィックスデータをビデオデータストリームとは別にソースデバイス(100)から表示装置(60)に送信する方法であって、

- a) 表示装置(60)に表示する画面表示グラフィックスを生成する工程と、
- b) 表示装置(60)内のメモリ位置に対応するアドレス値をそれぞれ含むデータパケットのストリームに画面表示グラフィックスを組み合わせる工程と、
- c) データパケットをソースデバイス(100)から表示装置(60)に送信する工程とを有することを特徴とする方法。

【請求項2】 トリガイベントの発生時に、表示装置(60)内のトリガメモリ位置に対応するトリガアドレス値を含むトリガパケット(126)を送信する工程をさらに有することを特徴とする請求項1記載の方法。

【請求項3】 トリガパケット(126)には、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項2記載の方法。

【請求項4】 トリガパケット(126)には、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバレイビットが含まれることを特徴とする請求項3記載の方法。

【請求項5】 データパケットはアイソクロナスパケットであることを特徴とする請求項1記載の方法。

【請求項6】 データパケットはアシンクロナスパケットであることを特徴とする請求項1記載の方法。

【請求項7】 画面表示グラフィックスデータをソースデバイス(100)か

ら表示装置 (60) に送信する方法であって、

- a) 表示装置 (60) に表示する画面表示グラフィックスを生成する工程と、
- b) 表示装置 (60) 内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせる工程と、
- c) アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイス (100) から表示装置 (60) に送信する工程とを有することを特徴とする方法。

【請求項8】 a) 表示装置 (60) にてアイソクロナスデータパケットを受信する工程と、

- b) アイソクロナスデータパケット内に含まれるアドレス値により特定されるメモリ位置に、アイソクロナスデータパケットのそれぞれに含まれるデータを記憶する工程とをさらに有することを特徴とする請求項7記載の方法。

【請求項9】 a) アイソクロナスデータパケットが形成される前に画面表示グラフィックスを圧縮する工程と、

- b) 記憶工程が完了する前に表示装置 (60) にてデータの伸長を行う工程とをさらに有することを特徴とする請求項8記載の方法。

【請求項10】 トリガイベントの発生時に、表示装置内のトリガメモリ位置に対応するトリガアドレス値を含むトリガパケット (126) を送信する工程をさらに有することを特徴とする請求項7記載の方法。

【請求項11】 トリガパケット (126) には、画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれることを特徴とする請求項10記載の方法。

【請求項12】 トリガイベントは、1画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットが送信されたときに発生することを特徴とする請求項11記載の方法。

【請求項13】 a) 表示装置 (60) にてアイソクロナスデータパケットを受信する工程と、

- b) アイソクロナスデータパケットに含まれるアドレス値により特定されるメ

メモリ位置に、アイソクロナスデータパケットのそれぞれに含まれるデータを記憶する工程と、

c) 表示装置 (60) にてトリガパケットを受信する工程と、

d) トリガメモリ位置にトリガパケットを記憶する工程と、

e) 表示時間にその画面の画面表示グラフィックスを表示する工程とをさらに有することを特徴とする請求の範囲第12項記載の方法。

【請求項14】 表示装置 (60) におけるメモリ位置及びトリガメモリ位置は、画面表示グラフィックスバッファ (78) 内に含まれることを特徴とする請求項13記載の方法。

【請求項15】 メモリ位置は画面表示グラフィックスバッファ (78) 内に含まれ、トリガメモリ位置はトリガバッファ内に含まれることを特徴とする請求項14記載の方法。

【請求項16】 トリガパケット (126) には、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項14記載の方法。

【請求項17】 トリガパケット (126) には、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバーレイビットが含まれることを特徴とする請求項16記載の方法。

【請求項18】 アイソクロナスデータパケットとトリガパケット (126) は、高速シリアルインターフェース (90) を介してソースデバイス (100) から表示装置 (60) に送信されることを特徴とする請求項14記載の方法。

【請求項19】 高速シリアルインターフェース (90) はIEEE1394シリアルバスネットワークであることを特徴とする請求項18記載の方法。

【請求項20】 a) 表示装置 (60) に表示する画面表示グラフィックスの次画面を生成する工程と、

b) 画面表示グラフィックスの前画面と比較して次画面内の変更画素を決定する工程と、

c) 変更画素のみを示す画面表示データを、示された変更画素に関するメモリ位置に対応するアドレス値をそれぞれ含む差分アイソクロナスデータパケットの

ストリームに組み合わせる工程と、

d) アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイス (100) から表示装置 (60) に送信する工程とをさらに有することを特徴とする請求項1記載の方法。

【請求項21】 ソースデバイス (100) により生成され、アイソクロナスチャネルを介して、表示装置 (60) 内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットとして送信される画面表示グラフィックスデータを受信する方法であって、

a) 画面表示グラフィックスデータとアドレス値とを含むアイソクロナスデータパケットを受信する工程と、

b) 表示装置 (60) 内のメモリ位置に、アイソクロナスデータパケットに含まれる画面表示グラフィックスデータを記憶する工程とを有することを特徴とする方法。

【請求項22】 a) 表示装置 (60) 内のトリガメモリ位置に対応するトリガアドレス値と画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値とを含むトリガパケット (126) を受信する工程と、

b) 表示時間にて画面表示グラフィックスを表示する工程とをさらに有することを特徴とする請求項21記載の方法。

【請求項23】 トリガメモリ位置にトリガパケット (126) を記憶する工程をさらに有することを特徴とする請求項22記載の方法。

【請求項24】 トリガパケット (126) には、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項23記載の方法。

【請求項25】 画面表示グラフィックスが既に圧縮されている場合に、記憶工程が完了する前に画面表示グラフィックスの伸長を行う工程をさらに有することを特徴とする請求項23記載の方法。

【請求項26】 メモリ位置とトリガメモリ位置は、画面表示グラフィックスバッファ (78) 内に含まれることを特徴とする請求項23記載の方法。

【請求項27】 アイソクロナスデータパケットとトリガパケット (126)

は、高速シリアルインターフェース (90) を介してソースデバイス (100) から表示装置 (60) に送信されることを特徴とする請求項26記載の方法。

【請求項28】 高速シリアルインターフェース (90) はIEEE1394シリアルバスネットワークであることを特徴とする請求項27記載の方法。

【請求項29】 画面表示グラフィックスデータをソースデバイス (100) から表示装置 (60) に送信する装置であって、

a) 表示装置 (60) により表示される画面表示グラフィックスを生成するグラフィックスソース (108) と、

b) グラフィックスソース (108) に接続され、表示装置 (60) 内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせ、アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイス (100) から表示装置 (60) に送信するために表示装置 (60) に接続するように構成されたインターフェース回路 (102) とを有することを特徴とする装置。

【請求項30】 グラフィックスソース (108) は、表示装置 (60) 内のトリガメモリ位置に対応するトリガアドレス値を含む、トリガイイベントの発生時にインターフェース回路 (102) により送信されるトリガパケット (126) を生成することを特徴とする請求項29記載の装置。

【請求項31】 トリガイイベントは、1画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットがインターフェース回路 (102) から送信されたときに発生することを特徴とする請求項30記載の装置。

【請求項32】 トリガパケット (126) には、その画面の画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれることを特徴とする請求項31記載の装置。

【請求項33】 トリガパケット (126) には、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項32記載の装置。

【請求項34】 トリガパケット (126) には、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバーレイビットが含まれること

を特徴とする請求項33記載の装置。

【請求項35】 グラフィックスソース(108)とインターフェース回路(102)とに接続され、インターフェース回路(102)による送信の前に画面表示グラフィックスを圧縮する圧縮回路(110)をさらに有することを特徴とする請求項32記載の装置。

【請求項36】 インターフェース回路(102)は、高速シリアルインターフェース(90)により表示装置(60)に接続されることを特徴とする請求項35記載の装置。

【請求項37】 高速シリアルインターフェース(90)はIEEE1394シリアルバスネットワークであることを特徴とする請求項36記載の装置。

【請求項38】 ソースデバイス(100)により生成され、アイソクロナスチャネルを介して、メモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットとして送信される画面表示グラフィックスデータを受信する装置であって、

a) アイソクロナスチャネルを介してソースデバイス(100)からアイソクロナスデータパケットを受信するためにソースデバイス(100)に接続するように構成されたインターフェース回路(86)と、

b) インターフェース回路に接続され、アイソクロナスデータパケットを受信して画面表示グラフィックスデータからアドレス値を分離する処理装置(84)と、

c) 処理装置(84)に接続され、アドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するメモリ装置と、

d) メモリ装置に接続され、表示時間に画面表示グラフィックスを表示する表示装置とを有することを特徴とする装置。

【請求項39】 表示時間はトリガパケット(126)において受信されることを特徴とする請求項38記載の装置。

【請求項40】 処理装置(84)は、画面表示グラフィックスデータがアイソクロナスデータパケットに含まれているか否かを判断し、アイソクロナスデータパケットからヘッダ情報を分離し、アドレス値を決定し、アドレス値と画面表

示グラフィックスデータをメモリ装置に送信する埋込型ストリームプロセッサであることを特徴とする請求項38記載の装置。

【請求項41】 メモリ装置は、バッファ(78)と、アドレス値を受信するとともにバッファ(78)内のアドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するDMAエンジン(77)とを有することを特徴とする請求項40記載の装置。

【請求項42】 表示装置は、ディスプレイと、ディスプレイ(62)に表示される前に画面表示グラフィックスが記憶されるVRAM回路(64)とを有することを特徴とする請求項41記載の装置。

【請求項43】 インターフェース回路(86)は、高速シリアルインターフェース(90)によりソースデバイス(100)に接続されることを特徴とする請求項42記載の装置。

【請求項44】 高速シリアルインターフェース(90)はIEEE1394シリアルバスネットワークであることを特徴とする請求項43記載の装置。

【請求項45】 画面表示グラフィックスデータを送信システムであって、

i) 表示装置(60)により表示される画面表示グラフィックスを生成するグラフィックスソース(108)と、

ii) グラフィックスソース(108)に接続され、表示装置(60)内のメモリ位置に対応するアドレス値をそれぞれ含むアイソクロナスデータパケットのストリームに画面表示グラフィックスを組み合わせて、アイソクロナスチャネルを介してアイソクロナスデータパケットをソースデバイス(100)から表示装置(60)に送信するために表示装置(60)に接続するように構成されたソースインターフェース回路(102)とを有する

a) ソースデバイス(100)と、

i) ソースインターフェース回路(102)に接続され、アイソクロナスチャネルを介してソースデバイスからアイソクロナスデータパケットを受信するディスプレイインターフェース回路(86)と、

ii) ディスプレイインターフェース回路(86)に接続され、アイソクロナスデータパケットを受信して画面表示グラフィックスデータからアドレス値

を分離する処理装置(84)と、

i i i) 処理装置(84)に接続され、アドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するメモリ装置と、

i v) メモリ装置に接続され、表示時間に画面表示グラフィックスを表示するディスプレイシステムとを有する

b) 表示装置(60)とにより構成されるシステム。

【請求項46】 グラフィックスソース(108)は、表示装置(60)内のトリガメモリ位置に対応するトリガアドレス値を含む、トリガイイベントの発生時にソースインターフェース回路(102)により送信されるトリガパケット(126)を生成することを特徴とする請求の範囲第45項記載のシステム。

【請求項47】 トリガイイベントは、1画面の画面表示グラフィックスについてのすべてのアイソクロナスデータパケットがソースインターフェース回路(102)から送信されたときに発生することを特徴とする請求項46記載のシステム。

【請求項48】 トリガパケット(126)には、その画面の画面表示グラフィックスについての表示時間を特定するプレゼンテーション時間値が含まれることを特徴とする請求項47記載のシステム。

【請求項49】 トリガパケット(126)には、トリガメモリ位置に書き込まれたときに画面表示グラフィックスデータの現フレームの記憶が完了したことを示すトリガビットが含まれることを特徴とする請求項48記載のシステム。

【請求項50】 トリガパケット(126)には、画面表示グラフィックスをビデオデータと組み合わせるか否かを特定するオーバレイビットが含まれることを特徴とする請求項48記載のシステム。

【請求項51】 処理装置(84)は、画面表示グラフィックスデータがアイソクロナスデータパケットに含まれているか否かを判断し、アイソクロナスデータパケットからヘッダ情報を分離し、アドレス値を決定し、アドレス値と画面表示グラフィックスデータをメモリ装置に送信する埋込型ストリームプロセッサであることを特徴とする請求項45記載のシステム。

【請求項52】 メモリ装置は、バッファ(78)と、アドレス値を受信する

とともにバッファ (77) 内のアドレス値に対応するメモリ位置に画面表示グラフィックスデータを記憶するDMAエンジン (77) とを有することを特徴とする請求項51記載のシステム。

【請求項53】 ディスプレイシステムは、ディスプレイ (62) と、ディスプレイ (62) に表示される前に画面表示グラフィックスが記憶されるVRAM回路 (64) とを有することを特徴とする請求項52記載のシステム。

【請求項54】 ソースインターフェース回路 (102) は、高速シリアルインターフェース (90) によりディスプレイインターフェース回路 (86) に接続されることを特徴とする請求項53記載のシステム。

【請求項55】 高速シリアルインターフェース (90) はIEEE1394シリアルバスネットワークであることを特徴とする請求項54記載のシステム。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 99/13475

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 6 H04N5/44 H04N5/445 H04N7/24

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 840 512 A (TEXAS INSTRUMENTS INC) 6 May 1998 (1998-05-06) page 3, line 55 -page 29	1-55
X	EP 0 835 029 A (SONY CORP) 8 April 1998 (1998-04-08) column 2, line 30 -column 8, line 48	1,5,6
A	WO 97 49057 A (SONY CORP ; SONY ELECTRONICS INC (US)) 24 December 1997 (1997-12-24) page 21, line 25 -page 22	1-55
A	EP 0 658 010 A (SONY CORP) 14 June 1995 (1995-06-14) column 7 -column 15, line 30	1-55

-/-

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"S" document member of the same patent family

Date of the actual completion of the international search

22 September 1999

Date of mailing of the international search report

29/09/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2200 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 apo nl,
Fax: (+31-70) 340-3016

Authorized officer

Materne, A

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 99/13475

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KUNZMAN A J ET AL: "1394 HIGH PERFORMANCE SERIAL BUS: THE DIGITAL INTERFACE FOR ATV" IEEE TRANSACTIONS ON CONSUMER ELECTRONICS, vol. 41, no. 3, 1 August 1995 (1995-08-01), pages 893-900, XP000539552 ISSN: 0098-3063 the whole document	1-55

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

P.1/US 99/13475

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
EP 0840512	A	06-05-1998	NONE		
EP 0835029	A	08-04-1998	CA	2216573 A	01-04-1998
			JP	10164108 A	19-06-1998
WO 9749057	A	24-12-1997	US	5883621 A	16-03-1999
			US	5793366 A	11-08-1998
			AU	3793797 A	07-01-1998
			CA	2257919 A	24-12-1997
			EP	0909508 A	21-04-1999
EP 0658010	A	14-06-1995	JP	7222263 A	18-08-1995
			CN	1115928 A	31-01-1995

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SL, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HR, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, UZ, VN, YU, ZA, ZW

(72)発明者 アイアー、マーク、ケー
アメリカ合衆国、カリフォルニア州
92131 サン ディエゴ キャニオン レイク
ドライブ 10525

【要約の続き】

まれる。トリガバケットが受信されると、表示装置は特定のプレゼンテーション時間に、バッファに記憶されたデータをVRAM回路に転送して表示を行う。画面表示グラフィックスデータは、ビデオデータにかぶせて表示することも、別々に表示することもできる。データの一部のみが前フレームから変化しているようなデータのフレームを転送するときには、差分符号化を使用する。